

The
Patent
Office

US2001043085

Biblio

Desc

Claims

Page 1

Drawing

esp@cenet

**Semiconductor int grated circuit**

Patent Number: ☐ US2001043085
Publication date: 2001-11-22
Inventor(s): ICHIHASHI MOTOI (JP); SHIMAZAKI YASUHISA (JP)
Applicant(s):
Requested Patent: ☐ JP2001332695
Application Number: US20010855660 20010516
Priority Number(s): JP20000152732 20000519
IPC Classification: H03K19/20
EC Classification: H03K19/00P6, H03K19/00P4
Equivalents: TW494632

Abstract

Disclosed is a semiconductor integrated circuit realizing improved operating speed, reduced power consumption in an active mode, reduced power consumption in a standby mode, and reduced area of a chip. A first logic gate using a first pair of potentials VDDL, VSSL having a relatively small potential difference as an operation power source and a second logic gate using a second pair of potentials VDDH, VSSH having a relatively large potential difference as an operation power source commonly use substrate potentials VBP, VBN of MIS transistors. The second logic gate has a relatively high driving capability, and the first logic gate can operate on relatively low power. The MIS transistor has a threshold voltage which increases by a reverse substrate bias and decreases by a forward substrate bias. By commonly using the substrate potential, even in the case where different substrate bias states are generated at both of the logic gates, MOS transistors of the logic gates can be formed in the common well region

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332695

(P2001-332695A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 27/04		H 0 3 K 19/00	A 5 F 0 3 8
21/822		H 0 1 L 27/04	G 5 F 0 4 8
21/8238		27/08	3 2 1 L 5 J 0 5 6
27/092		H 0 3 K 19/00	1 0 1 D
H 0 3 K 19/00		19/094	A
審査請求 有 請求項の数38 O L (全 24 頁) 最終頁に続く			

(21) 出願番号 特願2000-152732(P2000-152732)

(22) 出願日 平成12年5月19日 (2000. 5. 19)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 島崎 靖久

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 市橋 基

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

最終頁に続く

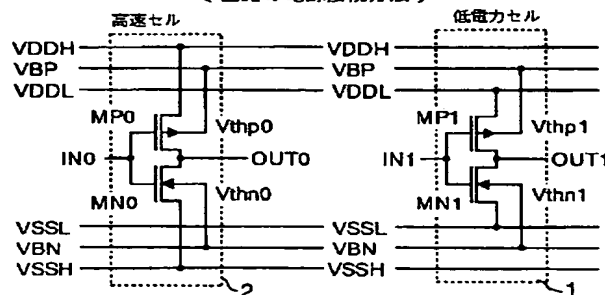
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 半導体集積回路の動作速度を向上し、アクティブ時の消費電力、スタンバイ時の消費電力を共に低減し、チップ面積を小さくする。

【解決手段】 相対的に電位差の小さな第1の電位組 (VDDL, VSSL) を動作電源とする第1の論理ゲート (1) と、相対的に電位差の大きな第2の電位組 (VDDH, VSSH) を動作電源とする第2の論理ゲート (2) との間で、MISトランジスタの基板電位 (VBP, VBN) を共通化する。相対的に第2の論理ゲートの方が駆動能力は高く、相対的に第1の論理ゲートの方が低電力動作可能である。MISトランジスタは逆方向の基板バイアスにより閾値電圧が大きくなり、順方向の基板バイアスにより閾値電圧が小さくなる。前記基板電位の共通化により、双方の論理ゲートに異なる基板バイアス状態を形成する場合にも双方の論理ゲートのMOSトランジスタを共通のウェル領域に形成してよい。

図1 【回路の電源接続方法】



【特許請求の範囲】

【請求項1】 相対的に電位差の小さな第1の電位組を動作電源とする第1の論理ゲートと、相対的に電位差の大きな第2の電位組を動作電源とする第2の論理ゲートとを有し、前記第1及び第2の論理ゲートはMISトランジスタを有し、前記第1の論理ゲートと第2の論理ゲートとの間でMISトランジスタの基板電位が共通化されて成るものであることを特徴とする半導体集積回路。

【請求項2】 前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるMISトランジスタを含み、前記第2の論理ゲートは前記基板電位により順方向に基板バイアスされるMISトランジスタを含んで成るものであることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含み、前記第2の論理ゲートは前記基板電位により順方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項1記載の半導体集積回路。

【請求項4】 前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるpチャネル型MISトランジスタを含み、前記第2の論理ゲートは前記基板電位により順方向に基板バイアスされるpチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項1記載の半導体集積回路。

【請求項5】 前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項1記載の半導体集積回路。

【請求項6】 相対的に電位差の小さな第1の電位組を動作電源とする第1の論理ゲートと、相対的に電位差の大きな第2の電位組を動作電源とする第2の論理ゲートとを有し、前記第1及び第2の論理ゲートはMISトランジスタを有し、前記第1の論理ゲートが形成されるMISトランジスタのウェル領域と前記第2の論理ゲートが形成されるMISトランジスタのウェル領域はMISトランジスタの導電型毎に共通化されて成るものであることを特徴とする半導体集積回路。

【請求項7】 相対的に電位差の小さな第1の電位組を動作電源とする第1の論理ゲートと、相対的に電位差の大きな第2の電位組を動作電源とする第2の論理ゲートとを有し、前記第1及び第2の論理ゲートはMISトランジスタを有し、前記第1の論理ゲートが形成されるMISトランジスタのウェル領域と前記第2の論理ゲートが形成されるMISトランジスタのウェル領域はMISトランジスタの導電型毎に電氣的に導通されて成るもの

であることを特徴とする半導体集積回路。

【請求項8】 前記第1の論理ゲートは前記ウェル領域の電位により逆方向に基板バイアスされるMISトランジスタを含み、前記第2の論理ゲートは前記ウェル領域の電位により順方向に基板バイアスされるMISトランジスタを含んで成るものであることを特徴とする請求項6又は7記載の半導体集積回路。

【請求項9】 前記第1の論理ゲートは前記ウェル領域の電位により逆方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含み、前記第2の論理ゲートは前記ウェル領域の電位により順方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項6又は7記載の半導体集積回路。

【請求項10】 前記第1の論理ゲートは前記ウェル領域の電位により逆方向に基板バイアスされるpチャネル型MISトランジスタを含み、前記第2の論理ゲートは前記ウェル領域の電位により順方向に基板バイアスされるpチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項6又は7記載の半導体集積回路。

【請求項11】 前記第1の論理ゲートは前記ウェル領域の電位により逆方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項6又は7記載の半導体集積回路。

【請求項12】 高電位及び低電位の第1の電位組を動作電源とする第1の論理ゲートと、前記第1の電位組よりも大きな電位差の高電位及び低電位の第2の電位組を動作電源とする第2の論理ゲートとを含み、前記第1の論理ゲートを構成するMISトランジスタの基板電位と前記第2の論理ゲートを構成するMISトランジスタの基板電位とが共通であり、少なくとも前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるMISトランジスタを含んで成るものであることを特徴とする半導体集積回路。

【請求項13】 前記第1の電位組は第1の高電位及び第1の低電位であり、前記第2の電位組は第1の高電位よりも高い第2の高電位及び前記第1の低電位よりも低い第2の低電位であり、前記基板電位は前記第1の高電位と第2の高電位の間の高電位側基板電位及び前記第1の低電位と第2の低電位の間の低電位側基板電位であることを特徴とする請求項12記載の半導体集積回路。

【請求項14】 前記第1の電位組は第1の高電位及び第1の低電位であり、前記第2の電位組は第1の高電位よりも高い第2の高電位及び前記第1の低電位よりも低い第2の低電位であり、前記基板電位は前記第2の高電位を高電位側基板電位とし、前記第2の低電位を低電位側基板電位とするものであることを特徴とする請求項1

2記載の半導体集積回路。

【請求項15】 前記第1の電位組は第1の高電位及び第1の低電位であり、前記第2の電位組は第1の高電位よりも高い第2の高電位及び前記第1の低電位であり、前記基板電位は前記第1の高電位と第2の高電位との間の電位を高電位側基板電位とし、前記第1の低電位よりも高い電位を低電位側基板電位とするものであることを特徴とする請求項12記載の半導体集積回路。

【請求項16】 高電位及び低電位の第1の電位組配線に接続する第1の論理ゲートと、前記第1の電位組配線よりも大きな電位差の高電位及び低電位の第2の電位組配線に接続する第2の論理ゲートとを含み、前記第1の論理ゲートを構成するMISトランジスタに基板電位を供給する基板電位配線と前記第2の論理ゲートを構成するMISトランジスタに基板電位を供給する基板電位配線とが共通化され、少なくとも前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるMISトランジスタを含んで成るものであることを特徴とする半導体集積回路。

【請求項17】 前記第1の電位組配線は第1の高電位配線及び第1の低電位配線であり、前記第2の電位組配線は第1の高電位配線よりも高い電位にされる第2の高電位配線及び前記第1の低電位配線よりも低い電位にされる第2の低電位配線であり、前記基板電位配線は前記第1の高電位配線の電位と第2の高電位配線の電位との間の電位にされる高電位側基板電位配線及び前記第1の低電位配線の電位と第2の低電位配線の電位との間の電位にされる低電位側基板電位配線であることを特徴とする請求項16記載の半導体集積回路。

【請求項18】 前記第1の電位組配線は第1の高電位配線及び第1の低電位配線であり、前記第2の電位組配線は第1の高電位配線よりも高い電位にされる第2の高電位配線及び前記第1の低電位配線よりも低い電位にされる第2の低電位配線であり、前記基板電位配線は前記第2の高電位配線を高電位側基板電位配線とし、前記第2の低電位配線を低電位側基板電位配線とするものであることを特徴とする請求項16記載の半導体集積回路。

【請求項19】 前記第1の電位組配線は第1の高電位配線及び第1の低電位配線であり、前記第2の電位組配線は第1の高電位配線よりも高い電位にされる第2の高電位配線及び前記第1の低電位配線であり、前記基板電位配線は前記第1の高電位配線の電位と第2の高電位配線の電位との間の電位にされる高電位側基板電位配線と、前記第1の低電位配線よりも高い電位にされる低電位側基板電位配線とであることを特徴とする請求項16記載の半導体集積回路。

【請求項20】 半導体基板にMISトランジスタから成る論理ゲートが列状に多数配列される回路領域を有する半導体集積回路であって、前記回路領域は、MISトランジスタの導電型毎に基板

電位が共通化されるウェル領域を有し、当該ウェル領域に、相対的に電位差の小さい第1の電位組を動作電源とする第1の論理ゲートと、相対的に電位差の大きな第2の電位組を動作電源とする第2の論理ゲートとが形成され、前記ウェル領域はnチャネル型MISトランジスタが形成されるp型ウェル領域とpチャネル型MISトランジスタが形成されるn型ウェル領域とが隣接されて成り、前記ウェル領域の上層には、前記第1の電位組、第2の電位組及び基板電位を夫々供給する金属配線が列状に延在されて成るものであることを特徴とする半導体集積回路。

【請求項21】 前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるMISトランジスタを含み、前記第2の論理ゲートは前記基板電位により順方向に基板バイアスされるMISトランジスタを含んで成るものであることを特徴とする請求項20記載の半導体集積回路。

【請求項22】 前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含み、前記第2の論理ゲートは前記基板電位により順方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項20記載の半導体集積回路。

【請求項23】 前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるpチャネル型MISトランジスタを含み、前記第2の論理ゲートは前記基板電位により順方向に基板バイアスされるpチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項20記載の半導体集積回路。

【請求項24】 前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタを含んで成るものであることを特徴とする請求項20記載の半導体集積回路。

【請求項25】 第1の電位組を動作電源として相対的に小さな出力信号振幅を形成する第1の論理ゲートと、第2の電位組を動作電源として相対的に大きな出力信号振幅を形成する第2の論理ゲートとを有し、前記第1の論理ゲートを構成するMISトランジスタの基板電位と前記第2の論理ゲートを構成するMISトランジスタの基板電位とが共通であることを特徴とする半導体集積回路。

【請求項26】 前記第1の論理ゲートは順序回路及び組合せ回路であり、前記第2の論理ゲートは順序回路及び組合せ回路であり、順序回路から単数又は複数個の組合せ回路を経由して次段の順序回路に至る複数の単位信号パスを有し、前記複数の単位信号パスは前記第1の論理ゲート及び第2の論理ゲートが混在された単位信号パ

スを含んで成るものであることを特徴とする請求項 25 記載の半導体集積回路。

【請求項 27】 前記第 1 の論理ゲート及び第 2 の論理ゲートが混在された単位信号パスにおいて、前記第 2 の論理ゲートは第 1 の論理ゲートの上流に配置されて成るものであることを特徴とする請求項 26 記載の半導体集積回路。

【請求項 28】 前記第 1 の論理ゲート及び第 2 の論理ゲートが混在された単位信号パスにおいて、第 1 の論理ゲートから成る組合せ回路の出力を受ける第 2 の論理ゲートから成る順序回路は、クロック信号に同期して入力信号振幅を第 2 の論理ゲートの出力信号振幅にレベル変換するクロック同期型レベルシフト回路を入力段に有して成るものであることを特徴とする請求項 26 記載の半導体集積回路。

【請求項 29】 前記第 1 の論理ゲート及び第 2 の論理ゲートが混在された単位信号パスにおいて、第 1 の論理ゲートの出力を受ける第 2 の論理ゲートは、当該第 1 の論理ゲートの出力信号振幅を第 2 の論理ゲートの出力信号振幅にレベル変換して出力するレベルシフト回路であり、前記レベルシフト回路の出力に第 2 の論理ゲート回路が直列接続されて成るものであることを特徴とする請求項 26 記載の半導体集積回路。

【請求項 30】 同一導電型の MIS トランジスタの基板電位が相互に等しくされる第 1 論理ゲート及び第 2 論理ゲートを用いて半導体集積回路を設計するに当たり、相対的に電位差の小さい第 1 の電位組を動作電源とする第 1 の論理ゲートを用いて設計された論理回路における信号経路の信号伝播遅延時間が目標を満足するか否かを判定する第 1 ステップと、前記第 1 ステップにおいて信号伝播遅延時間が目標を満足しない信号経路に含まれる単数又は複数の第 1 の論理ゲートを、相対的に電位差の大きな第 2 の電位組を動作電源とする第 2 の論理ゲートに置き換える第 2 ステップと、を含むことを特徴とする半導体集積回路の設計方法。

【請求項 31】 前記第 2 ステップで置き換えが行われた信号経路の信号伝播遅延時間が目標を満足するか否かを判定し、満足しないときは、更にその信号経路に含まれる別の第 1 の論理ゲートを第 2 の論理ゲートに置き換える第 3 ステップを含むことを特徴とする請求項 30 記載の半導体集積回路の設計方法。

【請求項 32】 前記第 2 及び第 3 ステップにおいて、第 2 論理ゲートへの置き換えは信号経路の上流側から行なうことを特徴とする請求項 31 記載の半導体集積回路の設計方法。

【請求項 33】 前記第 2 及び第 3 ステップにおいて、第 1 の論理ゲートの次段に順序回路を成す第 2 論理ゲートを配置したとき、当該第 2 論理ゲートは、クロック信号に同期して入力信号振幅を第 2 の論理ゲートの出力信

号振幅にレベル変換するクロック同期型レベルシフト機能を入力段に有するものであることを特徴とする請求項 31 記載の半導体集積回路の設計方法。

【請求項 34】 前記第 2 及び第 3 ステップにおいて、第 1 の論理ゲートの次段に第 2 論理ゲートを配置したとき、当該第 2 論理ゲートの前に、第 1 の論理ゲートの出力信号振幅を第 2 の論理ゲートの出力信号振幅にレベル変換するレベルシフト回路を挿入することを特徴とする請求項 31 記載の半導体集積回路の設計方法。

【請求項 35】 同一導電型の MIS トランジスタの基板電位が相互に等しくされる第 1 論理ゲート及び第 2 論理ゲートを用いた半導体集積回路の設計を支援するためのプログラムをコンピュータによって読取り可能に記録したプログラム記録媒体であって、

相対的に電位差の小さい第 1 の電位組を動作電源とする第 1 の論理ゲートを用いて設計された論理回路における信号経路の信号伝播遅延時間が目標を満足するか否かを判定する第 1 ステップと、

前記第 1 ステップにおいて信号伝播遅延時間が目標を満足しない信号経路に含まれる単数又は複数の第 1 の論理ゲートを、相対的に電位差の大きな第 2 の電位組を動作電源とする第 2 の論理ゲートに置き換える第 2 ステップと、を実行するためのプログラムが記録されて成るものであることを特徴とするプログラム記録媒体。

【請求項 36】 前記プログラムは、前記第 2 ステップで置き換えが行われた信号経路の信号伝播遅延時間が目標を満足するか否かを判定し、満足しないときは、更にその信号経路に含まれる別の第 1 の論理ゲートを第 2 の論理ゲートに置き換える第 3 ステップを更に実行可能であることを特徴とする請求項 35 記載のプログラム記録媒体。

【請求項 37】 半導体チップに形成されるべき集積回路をコンピュータを用いて設計するための設計データが前記コンピュータによって読取り可能に記録された設計データ記録媒体であって、前記設計データ記録媒体に記録された設計データは、

相対的に電位差の小さい第 1 の電位組配線から動作電源が供給されると共に基板電位配線から基板電位が供給される第 1 の論理ゲートを前記半導体チップに形成するための図形パターンを定める第 1 のマスクパターンデータと、

相対的に電位差の大きな第 2 の電位組配線から動作電源が供給されると共に前記基板電位配線に接続される基板電位配線から基板電位が供給される第 2 の論理ゲートを前記半導体チップに形成するための図形パターンを定める第 2 のマスクパターンデータと、を含むことを特徴とする設計データ記録媒体。

【請求項 38】 半導体チップに形成されるべき集積回路をコンピュータを用いて設計するための設計データが前記コンピュータによって読取り可能に記録された設計

データ記録媒体であって、前記設計データ記録媒体に記録された設計データは、

相対的に電位差の小さい第1の電位組配線から動作電源が供給されると共に基板電位配線から基板電位が供給される第1の論理ゲートの機能を定めるための第1の機能記述データと、

相対的に電位差の大きな第2の電位組配線から動作電源が供給されると共に前記基板電位配線に接続される基板電位配線から基板電位が供給される第2の論理ゲートの機能を定めるための第2の機能記述データと、を含むことを特徴とする設計データ記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路、その設計方法、その半導体集積回路の設計を支援するためのプログラムを記録したプログラム記録媒体、及びその半導体集積回路の設計に利用する設計データを記録した設計データ記録媒体に関し、特に高速かつ低消費電力動作に好適な半導体集積回路に適用して有効な技術に関する。

【0002】

【従来の技術】近年、半導体集積回路装置には、動作周波数の向上及び低消費電力化が求められている。動作周波数を向上する為には、半導体集積回路を構成する絶縁ゲート型電界効果トランジスタ（本明細書では単にMIS（Metal Insulated Semiconductor）トランジスタ若しくはMOS（Metal Oxide Semiconductor）トランジスタとも称する）の閾値電圧を下げるのが一般的に行われている。しかしながら、閾値電圧をあまり低く設定すると、MOSトランジスタのサブスレッショルド特性によってMOSトランジスタを完全にオフすることができなくなり、サブスレッショルドリーク電流が増大し、半導体集積回路の消費電力が非常に大きくなるという問題が発生する。この問題を解決するために、特開平11-195976号公報（第1の文献）では、閾値電圧の異なる何種類かのMOSトランジスタを用意し、半導体集積回路中の信号経路のタイミング余裕度によってそれらを使い分ける方法が提案されている。

【0003】また、低消費電力化の要求に対しては、特開平10-189749号公報（第2の文献）にあるように、複数の電源電圧を用意しておき、高い電圧を供給する回路と、低い電圧を供給する回路を使い分けることにより電力を低減するという方法が提案されている。

【0004】

【発明が解決しようとする課題】第1の文献に記載の方法は、閾値電圧の低いMOSトランジスタを使用した回路をタイミング余裕のないパス（クリティカルパス）に適用し、閾値電圧の高いMOSトランジスタを使用した回路をそれ以外のパスに適用することで、動作速度の向上とスタンバイ時のリーク電流低減を同時に達成しよう

としている。しかし、この技術を適用した回路において、電源電圧を下げてアクティブ時の消費電力を低減しようとした場合、動作速度を維持するためにMOSトランジスタの閾値電圧も同時に下げる必要があり、先に述べたスタンバイ時のリーク電流による消費電力との関係から、あまり大幅に低減することは期待できないということが発明者らの検討により明らかとなった。

【0005】一方、第2の文献に記載の方法は、半導体集積回路中に複数の電源電圧を用意し、信号経路のタイミング余裕度に応じて、余裕のないパス（クリティカルパス）を構成する回路に対しては高い電圧を供給し、余裕のあるパスを構成する回路には低い電圧を供給することにより動作速度の向上とアクティブ動作時の電力低減を図っている。しかし、この技術を適用した回路では、高い動作電圧が供給されるMOSトランジスタと低い動作電圧が供給されるMOSトランジスタの間で基板電圧が異なるため、基板の分離領域が必要になり、チップ面積が増加する虞のあることが本発明者によって明らかにされた。また、全てのMOSトランジスタが同じ閾値電圧を持っているため、スタンバイ時のリーク電流による消費電力が大きくなる可能性があった。

【0006】本発明の目的は、動作電源電圧及び基板バイアス電圧の観点より高速かつ低消費電力動作を実現する半導体集積回路を提供することにある。

【0007】本発明の別の目的は、半導体集積回路の動作速度を向上し、同時にアクティブ時の消費電力、スタンバイ時の消費電力を共に低減し、更に面積的なオーバーヘッドの無い半導体集積回路を提供することにある。

【0008】本発明のその他の目的は、半導体集積回路の動作速度を向上し、同時にアクティブ時の消費電力、スタンバイ時の消費電力を共に低減し、更に面積的なオーバーヘッドの無い半導体集積回路の設計に好適な設計方法を提供することにある。そして、そのような半導体集積回路の設計の効率化に好適な設計支援プログラムを記録したプログラム記録媒体、更に、そのような半導体集積回路の設計の効率化に好適な設計データを記録した設計データ記録媒体を提供することを更に別の目的とする。

【0009】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】〔1〕《基板電位共通化》動作電源が異なる論理ゲートの基板電位を共通化する観点による半導体集積回路は、相対的に電位差の小さな第1の電位組（VDDLとVSSL、VDDLとVSS）を動作電源とする第1の論理ゲート（1）と、相対的に電位差の大きな

第2の電位組(VDDHとVSSH、VDDHとVSS)を動作電源とする第2の論理ゲート(2)とを有し、前記第1及び第2の論理ゲートはMISトランジスタを有し、前記第1の論理ゲートと第2の論理ゲートとの間でMISトランジスタの基板電位(VBPとVBN、VDDHとVSSH)が共通化されて成る。

【0012】前記第2の論理ゲートは第1の論理ゲートに比べて動作電源の電位差が大きいため第2の論理ゲートのMISトランジスタ(MP0、MN0)による出力電圧振幅は第1の論理ゲートのそれ(MP1、MN1)に比べて大きく、相対的に第2の論理ゲートの駆動能力は高く、高速に動作する。論理動作時の消費電力は出力電圧振幅の2乗に比例するから相対的に第1の論理ゲートの方が低電力動作可能である。このとき、MISトランジスタはソースと基板間の逆方向基板バイアスにより閾値電圧が大きくなり、順方向基板バイアスにより閾値電圧が小さくなるという性質を有する。前記第1の論理ゲートと第2の論理ゲートとの間でMISトランジスタの基板電位が共通化されているから、第1の論理ゲートと第2の論理ゲートに異なる基板バイアス状態を形成しようとする場合であっても双方の論理ゲートを構成するMOSトランジスタを共通のウェル領域に形成してよい。第1及び第2の論理ゲートの間で基板電位を相違させるなら、MISトランジスタの導電型が一緒でも、ウェル領域を電気的に分離しなければならず、分離領域によってチップ占有面積が増えてしまう。第1及び第2の論理ゲートにおける基板バイアス状態は、基板電位と双方の論理回路における電源電位とのレベルにしたがって設定可能であり、高速動作に向けられた第2の論理ゲートに含まれるMISトランジスタに順方向の基板バイアスが与えられるようにすれば、閾値電圧が小さくなって、動作は一層高速化する。一方、低電力動作に向けられた第1の論理ゲートに含まれるMISトランジスタに逆方向の基板バイアスが与えられるようにすれば、閾値電圧が大きくなって、非導通時のサブスレッショルド電流も少なくなり、低電力動作を促進する。

【0013】第1及び第2の論理ゲートに設定可能な基板バイアス状態の第1の例として、第1の電位組及び第2の電位組の夫々における高電位側電位(VDDH、VDDL)の間のレベル(VBP)と低電位側電位(VSSL、VSSH)の間のレベル(VBN)を基板電位に採用すれば、前記第1の論理ゲートのMISトランジスタを逆方向に基板バイアスさせ、前記第2の論理ゲートのMISトランジスタを順方向に基板バイアスさせることができる。これにより、高速動作に向けられた第2の論理ゲートに対しては動作を一層高速化でき、低電力動作に向けられた第1の論理ゲートに対してはサブスレッショルド電流の低減による低電力動作の促進が可能になる。

【0014】図1に例示されるように上記基板バイアス

状態を第1及び第2の論理ゲートに含まれるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタの双方に対して施せば最大の効果を得る。

【0015】また、サブスレッショルドリークはMISトランジスタのゲート幅寸法に比例するので、一般に駆動能力若しくは電子伝導度の点で劣るpチャネル型MISトランジスタのゲート幅がnチャネル型MISトランジスタよりも大きくされる傾向にあるという点を考慮すれば、図27に例示されるように、低電力動作に向けられた第1の論理ゲートのpチャネル型MISトランジスタに対してだけ逆方向の基板バイアス状態を形成するようにしても低電力を実現することができる。

【0016】また、第1の論理ゲートにおける低電力動作の促進を主として考慮するなら、図25に例示されるように、前記第1の論理ゲートのMISトランジスタに対してだけ逆方向に基板バイアスを与え、第2の論理ゲートには基板バイアスを与えないようにしてもよい。

【0017】〔2〕《ウェル領域共通化》上記基板電位を共通化する観点、MISトランジスタのウェル領域を共通化する観点で把握してもよい。即ち、半導体集積回路は、相対的に電位差の小さな第1の電位組(VDDL&VSSL、VDDL&VSS)を動作電源とする第1の論理ゲート(1)と、相対的に電位差の大きな第2の電位組(VDDH&VSSH、VDDH&VSS)を動作電源とする第2の論理ゲート(2)とを有し、前記第1及び第2の論理ゲートはMISトランジスタを有し、前記第1の論理ゲートが形成されるMISトランジスタのウェル領域(NWELL、PWELL)と前記第2の論理ゲートが形成されるMISトランジスタのウェル領域(NWELL、PWELL)はMISトランジスタの導電型毎に共通化されて成る。このとき、MISトランジスタのウェル領域に印加する電位に応じて、MISトランジスタのバイアス状態が決まる。このときの作用は〔1〕の場合と同じである。

【0018】〔3〕《電位ペアの観点》基板電位共通化による発明の更に詳細な態様の半導体集積回路は、高電位及び低電位の第1の電位組(VDDL&VSSL、VDDL&VSS)を動作電源とする第1の論理ゲート

(1)と、前記第1の電位組よりも大きな電位差の高電位及び低電位の第2の電位組(VDDH&VSSH、VDDH&VSS)を動作電源とする第2の論理ゲート(2)とを含み、前記第1の論理ゲートを構成するMISトランジスタの基板電位(VBP&VBN、VDDH&VSSH)と前記第2の論理ゲートを構成するMISトランジスタの基板電位とが共通であり、少なくとも前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるMISトランジスタを含んで成る。

【0019】前記第1及び第2の電位組と基板電位との具体的な態様は次の通りである。第1の態様として、図1に例示されるように、前記第1の電位組は第1の高電

位 (VDDL) 及び第1の低電位 (VSSL) であり、前記第2の電位組は第1の高電位よりも高い第2の高電位 (VDDH) 及び前記第1の低電位よりも低い第2の低電位 (VSSH) であり、前記基板電位は前記第1の高電位と第2の高電位の間の高電位側基板電位 (VBP) 及び前記第1の低電位と第2の低電位の間の低電位側基板電位 (VBN) である。この態様は、前述の如く、第1の論理ゲートに含まれるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタの双方に対し逆方向の基板バイアス状態を達成し、第2の論理ゲートに含まれるpチャネル型MISトランジスタ及びnチャネル型MISトランジスタの双方に対し順方向の基板バイアス状態を達成する。

【0020】第2の具体的な態様として、図25に例示されるように、前記第1の電位組は第1の高電位 (VDDL) 及び第1の低電位 (VSSL) であり、前記第2の電位組は第1の高電位よりも高い第2の高電位 (VDDH) 及び前記第1の低電位よりも低い第2の低電位 (VSSH) であり、前記基板電位は前記第2の高電位 (VDDH) を高電位側基板電位とし、前記第2の低電位 (VSSH) を低電位側基板電位とするものである。この態様は、前述の如く、第1の論理ゲートに含まれるpチャネル型及びnチャネル型の双方のMISトランジスタに対して逆方向の基板バイアス状態を達成し、第2の論理ゲートに含まれるMISトランジスタには基板バイアスを行なわない状態にされる。この状態は、第1の論理ゲートにおけるサブスレッショルドリークの低減を促進しながら電源及び基板バイアスのための配線を第1の態様に比べて少なくとも2本低減することができる。

【0021】第3の態様として、図27に例示されるように、前記第1の電位組は第1の高電位 (VDDL) 及び第1の低電位 (VSS) であり、前記第2の電位組は第1の高電位よりも高い第2の高電位 (VDDH) 及び前記第1の低電位 (VSS) であり、前記基板電位は前記第1の高電位と第2の高電位との間の電位 (VBP) を高電位側基板電位とし、前記第1の低電位よりも高い電位 (VBN) を低電位側基板電位とする。この態様は、第1の論理ゲートに含まれるpチャネル型MISトランジスタに対してだけ逆方向の基板バイアス状態を達成し、第1の論理ゲートに含まれるnチャネル型MISトランジスタ並びに第2の論理ゲートに含まれるnチャネル型及びpチャネル型双方のMISトランジスタには順方向の基板バイアスを行なう。これは、前述のように、駆動能力若しくは電子伝導度の点からpチャネル型MISトランジスタのゲート幅がnチャネル型MISトランジスタよりも大きくされているという点に着目して、低電力動作に向けられた第1の論理ゲートのpチャネル型MISトランジスタに対してだけ逆方向の基板バイアス状態を形成するようにした例であり、第1の論理ゲートにおけるサブスレッショルドリークの低減を促進

しながら電源及び基板バイアスのための配線を第1の態様に比べて少なくとも1本少なくすることができる。

【0022】〔4〕《電源配線の観点》上記基板電位共通化による発明の更に別の詳細な態様の半導体集積回路は、高電位及び低電位の第1の電位組 (VDDL & VSSL、VDDL & VSS) 配線に接続する第1の論理ゲート (1) と、前記第1の電位組配線よりも大きな電位差の高電位及び低電位の第2の電位組 (VDDH & VSSH、VDDH & VSS) 配線に接続する第2の論理ゲート (2) とを含み、前記第1の論理ゲートを構成するMISトランジスタに基板電位を供給する基板電位 (VBP & VBN、VDDH & VSSH) 配線と前記第2の論理ゲートを構成するMISトランジスタに基板電位を供給する基板電位配線とが共通化され、少なくとも前記第1の論理ゲートは前記基板電位により逆方向に基板バイアスされるMISトランジスタを含んで成る。

【0023】前記第1及び第2の電位組配線と基板電位配線との具体的な態様は、〔3〕の第1乃至第3の態様に対応され、第1の態様では、前記第1の電位組配線は第1の高電位配線 (VDDL) 及び第1の低電位配線 (VSSL) であり、前記第2の電位組配線は第1の高電位配線よりも高い電位にされる第2の高電位配線 (VDDH) 及び前記第1の低電位配線よりも低い電位にされる第2の低電位配線 (VSSH) であり、前記基板電位配線は前記第1の高電位配線の電位と第2の高電位配線の電位との間の電位にされる高電位側基板電位配線 (VBP) 及び前記第1の低電位配線の電位と第2の低電位配線の電位との間の電位にされる低電位側基板電位配線 (VBN) である。

【0024】第2の態様では、前記第1の電位組配線は第1の高電位配線 (VDDL) 及び第1の低電位配線 (VSSL) であり、前記第2の電位組配線は第1の高電位配線よりも高い電位にされる第2の高電位配線 (VDDH) 及び前記第1の低電位配線よりも低い電位にされる第2の低電位配線 (VSSH) であり、前記基板電位配線は前記第2の高電位配線 (VDDH) を高電位側基板電位配線とし、前記第2の低電位配線 (VSSH) を低電位側基板電位配線とするものである。

【0025】第3の態様では、前記第1の電位組配線は第1の高電位配線 (VDDL) 及び第1の低電位配線 (VSS) であり、前記第2の電位組配線は第1の高電位配線よりも高い電位にされる第2の高電位配線 (VDDH) 及び前記第1の低電位配線 (VSS) であり、前記基板電位配線は前記第1の高電位配線の電位と第2の高電位配線の電位との間の電位 (VBP) にされる高電位側基板電位配線と、前記第1の低電位配線よりも高い電位 (VBN) にされる低電位側基板電位配線とである。

【0026】〔5〕《レイアウトの観点》上記基板電位を共通化する観点を半導体集積回路のレイアウト的な観

点で把握してもよい。即ち、半導体集積回路は、半導体基板にMISトランジスタから成る論理ゲートが列状に多数配列される回路領域を有する。前記回路領域は、MISトランジスタの導電型毎に基板電位が共通化されるウェル領域(NWELL, PWELL)を有し、当該ウェル領域に、相対的に電位差の小さい第1の電位組(VDDL&VSSL, VDDL&VSS)を動作電源とする第1の論理ゲート(1)と、相対的に電位差の大きな第2の電位組(VDDH&VSSH, VDDH&VSS)を動作電源とする第2の論理ゲート(2)とが形成され、前記ウェル領域はnチャネル型MISトランジスタが形成されるp型ウェル領域(PWELL)とpチャネル型MISトランジスタが形成されるn型ウェル領域(NWELL)とが隣接されて成り、前記ウェル領域の上層には、前記第1の電位組、第2の電位組及び基板電位を夫々供給する金属配線が列状に延在される。

【0027】この構成によっても前述の〔1〕と同様の作用を得ることができ、半導体集積回路の動作速度を向上し、同時にアクティブ時の消費電力、スタンバイ時の消費電力を共に低減し、更に面積的なオーバーヘッドの無い半導体集積回路を実現できる。

【0028】〔6〕《信号振幅の観点》上記動作電源の電位差を出力信号振幅の観点で把握してよい。この観点による半導体集積回路は、第1の電位組(VDDL&VSSL, VDDL&VSS)を動作電源として相対的に小さな出力信号振幅を形成する第1の論理ゲート(1)と、第2の電位組(VDDH&VSSH, VDDH&VSS)を動作電源として相対的に大きな出力信号振幅を形成する第2の論理ゲート(2)とを有し、前記第1の論理ゲートを構成するMISトランジスタの基板電位(VBP&VBN, VDDH&VSSH)と前記第2の論理ゲートを構成するMISトランジスタの基板電位とが共通である。この構成による作用も前述の〔1〕と同様である。

【0029】このとき、更に具体的な態様として第1及び第2論理ゲートから成るクロック同期形態の信号パスに着目する。即ち、前記第1の論理ゲートは順序回路及び組合せ回路であり、前記第2の論理ゲートは順序回路及び組合せ回路であり、順序回路から単数又は複数の組合せ回路を経由して別の順序回路に至る複数の単位信号パスを有し、前記複数の単位信号パスは前記第1の論理ゲート及び第2の論理ゲートが混在された単位信号パスを含んで成る。

【0030】前記第1の論理ゲート及び第2の論理ゲートが混在された単位信号パスにおいて、前記第2の論理ゲートを第1の論理ゲートの上流に配置する。これにより、出力信号振幅の大きな回路に信号振幅の小さな信号が入力されて出力が中間レベルになって貫通電流を生ずる事態を容易に阻止することができる。

【0031】また、上記制限に対して自由度を増すに

は、クロック同期レベルシフト機能を採用した順序回路(F81)を利用すればよい。すなわち、前記第1の論理ゲート及び第2の論理ゲートが混在された単位信号パスにおいて、第1の論理ゲートから成る組合せ回路の出力を受ける第2の論理ゲートから成る順序回路には、クロック信号に同期して入力信号振幅を第2の論理ゲートの出力信号振幅にレベル変換するクロック同期型レベルシフト回路(20)を入力段に設けるようにする。クロック信号に同期して入力信号をラッチしたりする順序回路の動作にあわせてレベルシフト動作を行えば、レベルシフト動作による信号伝播遅延を抑えることが容易である。

【0032】レベルシフト機能はクロック同期に限定されない。前記第1の論理ゲート及び第2の論理ゲートが混在された単位信号パスにおいて、第1の論理ゲートの出力を受ける第2の論理ゲートを、当該第1の論理ゲートの出力信号振幅を第2の論理ゲートの出力信号振幅にレベル変換して出力するレベルシフト回路(G94)とし、前記レベルシフト回路の出力に第2の論理ゲート回路を直列接続してよい。

【0033】〔7〕《設計方法》同一導電型のMISトランジスタの基板電位が相互に等しくされる第1論理ゲート及び第2論理ゲートを用いて半導体集積回路を設計する設計方法は、相対的に電位差の小さい第1の電位組(VDDL&VSSL, VDDL&VSS)を動作電源とする第1の論理ゲートを用いて設計された論理回路における信号経路の信号伝播遅延時間が目標を満足するかどうかを判定する第1ステップと、前記第1ステップにおいて信号伝播遅延時間が目標を満足しない信号経路に含まれる単数又は複数の第1の論理ゲートを、相対的に電位差の大きな第2の電位組(VDDH&VSSH, VDDH&VSS)を動作電源とする第2の論理ゲートに置き換える第2ステップと、を含む。この設計方法により、クリティカルパスに対して必要なタイミング余裕を容易に確保させることが可能になり、結果として、半導体集積回路の動作速度を向上し、同時にアクティブ時の消費電力、スタンバイ時の消費電力を共に低減し、更に面積的なオーバーヘッドの無い半導体集積回路の設計が容易になる。

【0034】1回の置き換えで所要のタイミング余裕を得ることができない時は、前記第2ステップで置き換えが行われた信号経路の信号伝播遅延時間が目標を満足するかどうかを判定し、満足しないときは、更にその信号経路に含まれる別の第1の論理ゲートを第2の論理ゲートに置き換える第3ステップを更に含めばよい。

【0035】出力信号振幅の大きな回路に振幅の小さな信号が入力されて出力が中間レベルになって貫通電流を生ずる事態を抑止する手段として、前記第2及び第3ステップにおいて、第2論理ゲートへの置き換えは信号経路の上流側から行なうようにする。これにより、置き換

え位置の自由度はある程度制限されるが、貫通電流発生阻止は置き換え規則で簡単に達成することができる。

【0036】また、上記制限に対して設計の自由度を増すには、クロック同期レベルシフト機能を採用した順序回路(F81)を利用すればよい。すなわち、前記第2及び第3ステップにおいて、第1の論理ゲートの次段に順序回路を成す第2論理ゲートを配置したとき、当該第2論理ゲートには、クロック信号に同期して入力信号振幅を第2の論理ゲートの出力信号振幅にレベル変換するクロック同期型レベルシフト機能を入力段に有するものを採用すればよい。

【0037】クロック同期レベルシフト機能付き順序回路を利用するという制限に対しても設計の自由度を増すには、前記第2及び第3ステップにおいて、第1の論理ゲートの次段に第2論理ゲートを配置したとき、当該第2論理ゲートの前に、第1の論理ゲートの出力信号振幅を第2の論理ゲートの出力信号振幅にレベル変換するレベルシフト回路(G94)を挿入する手法を採用すればよい。

【0038】〔8〕《プログラム記録媒体》プログラム記録媒体(91)は、同一導電型のMISトランジスタの基板電位が相互に等しくされる第1論理ゲート及び第2論理ゲートを用いた論理回路の設計を支援するためのプログラムをコンピュータ(90)によって読取り可能に記録してある。このプログラムは、相対的に電位差の小さい第1の電位組(VDDL&VSSL、VDDL&VSS)を動作電源とする第1の論理ゲートを用いて設計された論理回路における信号経路の信号伝播遅延時間が目標を満足するか否かを判定する第1ステップと、前記第1ステップにおいて信号伝播遅延時間が目標を満足しない信号経路に含まれる単数又は複数の第1の論理ゲートを、相対的に電位差の大きな第2の電位組(VDDH&VSSH、VDDH&VSS)を動作電源とする第2の論理ゲートに置き換える第2ステップと、を実行するためのプログラムである。その記録媒体からプログラムを読み取ってコンピュータで利用することにより、前記設計方法による論理回路の設計を容易に行うことが可能になる。

【0039】1回の置き換えで所要のタイミング余裕を得ることができない場合のあることを予め考慮するならば、前記プログラムは、前記第2ステップで置き換えが行われた信号経路の信号伝播遅延時間が目標を満足するか否かを判定し、満足しないときは、更にその信号経路に含まれる別の第1の論理ゲートを第2の論理ゲートに置き換える第3ステップを更に実行可能であってよい。

【0040】〔9〕《設計データ記録媒体》設計データ記録媒体(91)は、半導体チップに形成されるべき集積回路をコンピュータを用いて設計するための設計データが前記コンピュータによって読取り可能に記録されている。その設計データは、相対的に電位差の小さい第1

の電位組(VDDL&VSSL、VDDL&VSS)配線から動作電源が供給されると共に基板電位配線から基板電位が供給される第1の論理ゲートを前記半導体チップに形成するための図形パターンを定める第1のマスクパターンデータと、相対的に電位差の大きな第2の電位組(VDDH&VSSH、VDDH&VSS)配線から動作電源が供給されると共に前記基板電位配線に接続される基板電位配線から基板電位が供給される第2の論理ゲートを前記半導体チップに形成するための図形パターンを定める第2のマスクパターンデータと、を含む。この設計データ記録媒体に記録された設計データは、例えば、すでに検証済みの所謂ハードIPモジュールを構成するマスクパターンデータであり、コンピュータによるレイアウト設計にこれを用いることにより、前記基板電位共通化の観点より把握される半導体集積回路の設計を極めて容易化することができる。

【0041】前記設計データは、所謂ソフトIPモジュールのようなハードウェア記述言語で記述されたデータであってもよい。すなわち、コンピュータによって読取り可能に設計データ記録媒体(91)に記録された設計データは、相対的に電位差の小さい第1の電位組(VDDL&VSSL、VDDL&VSS)配線から動作電源が供給されると共に基板電位配線から基板電位が供給される第1の論理ゲートの機能を定めるための第1の機能記述データと、相対的に電位差の大きな第2の電位組(VDDH&VSSH、VDDH&VSS)配線から動作電源が供給されると共に前記基板電位配線に接続される基板電位配線から基板電位が供給される第2の論理ゲートの機能を定めるための第2の機能記述データと、を含む。機能記述データはマスクパターンデータのようにそのまま回路パターンを特定しない変わりにレイアウトパターンに対する自由度或いは機能変更が比較的簡単である。

【0042】

【発明の実施の形態】《基板電位共通化》図1には本発明に係る半導体集積回路が有する第1の論理ゲート及び第2の論理ゲートが例示される。同図において1で示されるものは第1の論理ゲート、2で示されるものは第2の論理ゲートであり、夫々は代表例としてCMOSインバータを形成している。

【0043】図1において、MP0、MP1は、それぞれpチャネル型MOSトランジスタ(以下pMOSトランジスタと略す)を、MN0、MN1は、それぞれnチャネル型MOSトランジスタ(以下nMOSトランジスタと略す)を表している。また、VDDLは高電位側の第1の電源電位、VDDHは高電位側の第2の電源電位であり、VSSLは低電位側の第1の接地電位、VSSHは低電位側の第2の接地電位である。VBPはpMOSトランジスタMP0、MP1の基板電位、VBNはnMOSトランジスタMN0、MN1の基板電位を表して

いる。夫々の電位関係は、図2に例示されるようにVDDH、VDDL、VSSL、VSSHの順に電位が低くなるようになっており、基板電位VBPは電源電位VDDL以上の電位、基板電位VBNは接地電位VSSL以下の電位で、ある範囲内で設定される。前記電位VDDL、VSSLは第1の電位組を成し、電位VDDH、VSSHは第2の電位組を成す。

【0044】図1に示される第2の論理ゲート2において、CMOSインバータを構成するpMOSトランジスタMP0のソース電極が電源電位VDDHに、nMOSトランジスタMN0のソース電極が接地電位VSSHに接続されているため、その出力振幅はVDDH-VSSHとなる。一方、図1の第1の論理ゲート1においてCMOSインバータを構成するpMOSトランジスタMP1のソース電極が電源電位VDDLに、nMOSトランジスタMN1のソース電極が接地電位VSSLに接続されているため、その出力振幅はVDDL-VSSLとなる。ここで、図1の構成から両者の出力振幅の違いを考えると、第2の論理ゲート2の出力振幅の方が第1の論理ゲート1よりも大きいことがわかる。一般に、電圧振幅の大きい回路は、小さい回路に比べてMOSトランジスタのドレイン-ソース間電圧、あるいはゲート-ソース間電圧が大きいためMOSトランジスタの駆動力が上がり、高速に動作する。したがって、第2の論理ゲート2のCMOSインバータは第1の論理ゲート1のCMOSインバータに比べて高速に動作すると言える。一方、回路の消費電力に着目すると、論理動作時の消費電力は電圧振幅の2乗に比例するため、第1の論理ゲート1を構成するCMOSインバータの方が低電力であると言える。

【0045】図1において第1の論理ゲート1と第2の論理ゲート2との間でMOSトランジスタの基板電位が共通化されている。即ち、第1の論理ゲート1及び第2の論理ゲート2は共に、MOSトランジスタの基板電極が、pMOSトランジスタMP0、MP1においては基板電位VBPに、nMOSトランジスタMN0、MN1においては基板電位VBNに、共通接続されている。したがって、第1の論理ゲート1と第2の論理ゲート2を相互に共通の基板（ウェル領域）上に形成することができ、前記第2の文献で必要であったような基板の分離領域を必要としない。これにより、動作電源の異なる第1の論理ゲートと第2の論理ゲートが形成される半導体集積回路における回路レイアウトの自由度を増すことができ、半導体集積回路のチップ面積を低減することを実現可能になる。

【0046】次に、基板電位VBP、VBNを適切に設定することにより回路の高速動作及び低電力動作（低サブスレッショルドリーク動作）を両立させる点について説明する。

【0047】一般に、MOSトランジスタの基板電位を

ソース電位と異なる電位にする（これを基板バイアスという）と、そのMOSトランジスタの閾値電圧が変化することが知られている。例えば図3に示すように、nMOSトランジスタの基板電位をソース電位よりも低く

（逆方向バイアス状態）すれば閾値電圧はバイアスをかけない場合に比べて増加し、ソース電位よりも高く（順方向バイアス状態）すれば閾値電圧はバイアスをかけない場合に比べて減少する。今、基板バイアス電圧VBNの電位が接地電位VSSLとVSSHの間にある場合を考える。この場合、図1におけるnMOSトランジスタMN0にはVBN-VSSHの順方向バイアスがかかり、図1におけるnMOSトランジスタMN1にはVSSL-VBNの逆方向バイアスがかかることになる。図3より、この時のそれぞれの閾値電圧は、 V_{thn0} 、 V_{thn1} であり、 $V_{thn0} < V_{thn1}$ の関係があることが読み取れる。閾値電圧は回路の動作スピードに強く影響し、より低い閾値電圧のMOSトランジスタを用いればより高速に動作させることができるため、この点においても図1の第2の論理ゲート2は第1の論理ゲート1に比べて高速であると言う事ができる。

【0048】次にMOSトランジスタの閾値電圧とリーク電流 I_{off} の関係を考える。普通、MOSトランジスタには、非導通状態であってもサブスレッショルドリーク電流が存在する。これはMOSトランジスタの閾値電圧に非常に強く依存し、閾値電圧の低下に伴って増加するという特性を持っている。図4はMOSトランジスタの閾値電圧とリーク電流 I_{off} の関係を模式的に表したもので、前述の $V_{thn0} < V_{thn1}$ の関係を持ったnMOSトランジスタMN0、MN1は、リーク電流の観点では $I_0 > I_1$ となることがわかる。従って、リーク電流の点においても図1の第1の論理ゲート1は第2の論理ゲート2に比べて低電力であると言う事ができる。

【0049】さてここで、基板バイアス電位VBNを接地電位VSSLに近づけてみる。するとnMOSトランジスタMN0にかかる順方向バイアスはより深くなり閾値電圧が更に下がるため、図1の第2の論理ゲート2は更に高速になる。またnMOSトランジスタMN1にかかる逆方向バイアスは浅くなり閾値電圧が下がるため、図1の第1の論理ゲート1も高速に動作するようになる。ただしこの場合、半導体集積回路は全体的にMOSトランジスタの閾値電圧が下がる訳であるから、リーク電流は増加することになる。なお、基板バイアス電位VBNはどこまでも上げることができるわけではなく、図1の第2の論理ゲート2においてラッチアップや寄生ダイオードの接合リークが発生しない範囲にする必要がある。

【0050】次に、基板バイアス電位VBNを接地電位VSSHに近づけた場合を考えてみる。今度はnMOSトランジスタMN0の順方向バイアスは浅くなり、nM

OSトランジスタMN1の逆方向バイアスは深くなる。これはnMOSトランジスタMN0、MN1の閾値電圧がともに高くなることを意味するため、リーク電流の減少につながる。ただし、逆に回路のスピードは若干悪化してしまう。

【0051】したがって、基板電位VBNをどの電位に設定するかということは、設計している半導体集積回路に必要な動作スピードと消費電力の両方を勘案して決めるのが好適である。

【0052】なお、図3及び図4を用いた説明では、簡単化のためnMOSトランジスタにのみ着目したが、pMOSトランジスタでも同様の考え方が適用できる。要するに、pMOSトランジスタの場合には、その基板電位をソース電位よりも高く（逆方向バイアス状態）すれば閾値電圧はバイアスをかけない場合に比べて増加し、ソース電位よりも低く（順方向バイアス状態）すれば閾値電圧はバイアスをかけない場合に比べて減少するというに基づけばよい。基板バイアス電圧VBPの電位が電源電位VDDLとVDDHの間にある場合、図1におけるpMOSトランジスタMP0にはVDDH-VBPの順方向バイアスがかかり、図1におけるpMOSトランジスタMP1にはVBP-VDDLの逆方向バイアスがかかることになり、pMOSトランジスタMP0、MP1の閾値電圧が $V_{thp0} < V_{thp1}$ になり、pMOSトランジスタの基板バイアス電圧の点に関しても、第2の論理ゲート2は第1の論理ゲート1に比べて高速であり、第1の論理ゲート1は第2の論理ゲート2に比べて低電力動作する。基板電位VBPをどの電位に設定するかは、上述の通り、設計している半導体集積回路に必要な動作スピード、消費電力の両方を勘案して決めればよい。

【0053】また、図1では簡単のために、インバータ回路を論理回路の一例として説明したが、本発明はそれに限定されるものではなく、NAND（ナンド）ゲート、NOR（ノア）ゲート等の組合せ回路、フリップフロップ等の順序回路であってよい。便宜上、以下の説明では図1の第2の論理ゲート2で代表されるように相対的に大きな電位組みを動作電源とする第2の論理ゲートを高速セル、第1の論理ゲート1で代表されるように相対的に小さな電位組みを動作電源とする第1の論理ゲートを低電力セルとも呼ぶ。

【0054】図5には前記高速セルと低電力セルを適用した半導体集積回路における信号パスの構成が例示される。

【0055】図中CKはクロック信号、F30、F31は高速セルとして位置付けられるフリップフロップ、F32、F33は低電力セルとして位置付けられるフリップフロップ、G30からG35は高速セルとして位置付けられるNANDゲート、G36からG38は低電力セルとして位置付けられるNANDゲートを表す。図5で

は簡単の為G30からG38の論理ゲートを全てNANDゲートで示しているが、本発明の半導体集積回路装置はそれに制限されたものでなく、適宜の論理を備えた論理ゲートを適用可能である。また、図中では説明に必要な信号は省略してある。図5に例示されるように、フリップフロップF30からF31に到る信号経路、フリップフロップF32からF33に到る信号経路のように、順序回路から単数又は複数個の組合せ回路を経て次段の順序回路に到る信号パスを単位信号パスと称する。

【0056】今、図5に例示される回路を250MHzの速度で動作させようとしているとする。このためにはクロック信号CKがフリップフロップF30に入力されてから信号がフリップフロップF31に伝搬するまでの時間と、クロック信号CKがフリップフロップF32に入力されてから信号がフリップフロップF33に伝搬するまでの時間が、共に4ns以内であることが求められる。ここで、高速セルタイプのフリップフロップの遅延時間、及びNANDゲートの遅延時間をそれぞれ1ns、0.5nsとする。また、低電力セルタイプのフリップフロップの遅延時間、及びNANDゲートの遅延時間をそれぞれ1.6ns、0.8nsとする。以上の仮定で、図5の（a）のクリティカルパスにおいてクロックCKがF30に入力されてから信号がF31に伝搬するまでの遅延時間、図5の（b）に非クリティカルパスにおいてクロックCKがF32に入力されてから信号がF33に伝搬するまでの遅延時間をそれぞれ計算してみると共に4nsであり、目標を達成していることがわかる。もし図5の（a）のクリティカルパスのセルをすべて低電力セルタイプに置きかえると、遅延時間は6.4nsになり、目標を達成できなくなる。要するに、図5の例は、半導体集積回路を構成する単位信号パスにおいて、信号伝播遅延時間により、高速セルタイプの論理ゲートと低電力セルタイプの論理ゲートを使い分けることが必要になる場合のある事を示している。

【0057】図6には前記高速セルと低電力セルを適用した半導体集積回路における信号パスの別の構成が例示される。図中CKはクロック信号、F40、F41は高速セルタイプのフリップフロップ、F42は低電力セルタイプのフリップフロップ、G40からG45は高速セルタイプのNANDゲート、G46、G47は低電力セルタイプのNANDゲートを表す。また、aからiの記号は、各ノード名を表している。なお、本図も図5の場合と同様にNANDゲートに限定されるものではないし、説明に関係のない信号については省略してある。図6の回路はF40から始まった後、ノードcで二つに分岐し、終点はF41とF42となっている。

【0058】図7には図6のクリティカルパスと非クリティカルパスの動作波形が例示される。図7の（A）にはF40から始まりF41で終わるクリティカルパス（a）の波形図が、（B）にはF40から始まりF42

で終わる非クリティカルパス (b) の波形図が示される。図7の (A) より、ノードaからノードgまでが全て振幅 $VDDH-VSSH$ で動き、伝搬時間が T_{max} であることがわかる。一方図7の (B) では、ノードaからノードcまでは振幅が $VDDH-VSSH$ であるが、ノードh, i では振幅が $VDDL-VSSL$ に減っており、またNANDゲート一段当たりの遅延時間も増加しているが、パス全体の遅延時間としては T_{max} よりも小さいことがわかる。ノードaからノードgまでは、その電圧振幅が $VDDH-VSSH$ と大きい為消費電力が大きい、ノードh, i は振幅が $VDDL-VSSL$ と小さい為消費電力は低く抑えられる。更に、F42, G46, G47の回路は、F40, F41, G40からG45の回路に比べてリーク電流が少ない。

【0059】《設計方法》図8及び図9を用いて、本発明を適用した半導体集積回路の設計方法について説明する。

【0060】図8において、論理記述10はVHDL (Very high speed integrated circuit Hardware Description Language) 等の上位論理記述言語を用いて設計対象とされる半導体集積回路の機能を記述したものである。最初に、論理記述10とセルライブラリ17を使用して、低電力セルのみを用いたゲートレベルへの論理変換11を行う。この段階である程度の論理最適化が行われる。次に、各信号経路毎のディレイ計算12を行う。この結果、図9の (A) に示す度数分布が得られたとする。これは半導体集積回路内に存在するすべての信号経路のディレイを計算し、横軸にそのパスディレイ、縦軸に度数をとったものである。次に目標のサイクル時間を達成しているかどうかの判定13を行う。もしここで目標を達成していれば、レイアウト処理15に進むが、図9の (A) からわかるように、この例では目標ディレイを若干オーバーしたパスが存在している。そこで、目標をオーバーしたパス (クリティカルパス) の先頭セルに対して、同じ論理を持った高速セルへの置き換え処理14を行う。そして再度ディレイ計算12を行う。処理12, 13, 14のループを、目標ディレイをオーバーしたパスが無くなり、図9 (B) の状態になるまで実施する。全てのパスが目標に到達したら、レイアウト処理15に進む。すべての論理ゲートを配置及び配線した後、配線負荷の情報を使用して再度ディレイ計算12を行う。ここで再び図9の (A) の状態になった場合は、処理12, 13, 14のループを繰り返し、図9の (B) の状態になったら処理終了16とする。この設計手法により、最終的に、全ての信号経路のディレイが、目標のサイクル時間以内になる。

【0061】前記図8及び図9で説明した処理を、図10を用いて更に詳細に説明する。図10の (A) は、低電力セルのみを使用して作られた、ある信号経路を表す模式図であるとする。また、図10に登場する回路は図

6示したものと同様のディレイ特性を持っているものとする。クロックCKがフリップフロップF70に入力されてから、信号がフリップフロップF71の入力端子まで伝搬する時間を計算すると、5.6nsであることがわかる。今、目標サイクル時間が4nsであるとする、この回路のディレイは目標をオーバーしていることになる。そこで、図8の処理14を行うことになる。最初に、単位信号パスの先頭セルであるF70を、同じ論理を持った高速セルに置きかえる。置き換え後の様子を図10の (B) に示す。この回路のディレイを計算すると、5nsであることがわかる。しかし、これでもまだ目標の4nsをオーバーしている。そこで、更に単位信号パスの2番目に登場するセルG70を、高速セルに置きかえる。その後ディレイ計算を行い、まだ目標に到達していないのでセルG71を高速セルに置きかえる。このループを繰り返し、セルG73までを高速セルに置き換えた様子を図10の (C) に示す。この回路のディレイを計算すると、3.8nsとなり、目標サイクル時間の4nsを下回る。従ってこれでセルの置き換え完了である。

【0062】この設計方法により、クリティカルパスに対して必要なタイミング余裕を容易に確保させることが可能になり、結果として、半導体集積回路の動作速度を向上し、同時にアクティブ時の消費電力、スタンバイ時の消費電力を共に低減し、更に面積的なオーバーヘッドの無い半導体集積回路の設計が容易になる。出力信号振幅の大きな回路に振幅の小さな信号が入力されて出力が中間レベルになることによって貫通電流を生ずる事態を抑止する手段として、図8のステップ14に示されるように、クリティカルパスの先頭セルから高速セルに置き換えるようにすることにより、置き換え位置の自由度はある程度制限されるが、置き換え規則によって貫通電流の発生を比較的簡単に阻止することができる。

【0063】図11には高速セルと低電力セルが混在した他の単位信号パスの例を示す。図11の例では信号経路がノードcで、フリップフロップF81に至るパス、F82に至るパス、F83に至るパスと、三つに分岐している。ここで、ノードe, f, g, hの信号振幅について考える。ノードeは、低電力セルG83の出力であるので、振幅 $VDDL-VSSL$ である。ノードgは、低電力セルF82の出力であるので、振幅 $VDDL-VSSL$ である。ノードhは、高速セルF83の出力であるので、振幅 $VDDH-VSSH$ である。ここで、フリップフロップF81に用いる回路構成について考慮しなければならない。仮に、F81に低電力セルを用いると、ノードfの振幅は $VDDL-VSSL$ となる。しかし、次段に接続されているセルG84が高速セルであるために、ノードfの振幅が $VDDL-VSSL$ ではセルG84に貫通電流が発生してしまう。逆にF81に高速セルを使用すると、前段のセルG83の出力ノードeの

振幅が $V_{DDL}-V_{SSL}$ であるために、今度はセルF81に貫通電流が発生してしまう。これに対する解決策の一つとして、F81に、レベルシフト機能付きフリップフロップを使用する。レベルシフト機能付きフリップフロップは、クロック信号に同期して入力信号振幅を高速セルの出力信号振幅にレベル変換するクロック同期型レベルシフト回路を入力段に有する。図11は、F81にレベルシフト機能付きフリップフロップを使用した例を示している。このようにすれば、ノードeの振幅が $V_{DDL}-V_{SSL}$ である場合でも、ノードfの振幅を $V_{DDH}-V_{SSH}$ にすることができ、貫通電流の問題も発生しない。

【0064】図12には前記レベルシフト機能付きフリップフロップの一例が示される。図13には図12に示されるレベルシフト機能付きフリップフロップの動作波形が例示される。同図に示されるレベルシフト機能付きフリップフロップは、初段のレベルシフト部20と、後段のラッチ部21から構成されている。レベルシフト部20は、nMOSトランジスタMN10、MN11とpMOSトランジスタMP10、MP11から成るCMOSスタティックラッチ、2個のpチャネル型のプリセットMOSトランジスタMP12、MP13、nチャネル型の差動入力MOSトランジスタMN14、MN15、nチャネル型のパワースイッチMOSトランジスタMN16、インバータINV、及び相互コンダクタンスが比較的小さくされて常時オン状態にされるnチャネル型のMOSトランジスタMN17によって構成される。ラッチ部21は相互に一方の入力が出力に結合されたNANDゲートNAND0、NAND1によって構成される。入力信号Dは低電力セルの出力振幅を有するから、差動入力MOSトランジスタの入力振幅を揃えるためにインバータ22は低電力セルと同様の動作電源 V_{DDL} 、 V_{SSL} で動作される。前記MOSトランジスタMN17は、MOSトランジスタMN14、MN15のドレインがフローティングの状態になって保持値が不所望に反転するのを防止するものであり、レベルシフト部20をスタティック動作させるのに必要である。

【0065】前記ラッチ部21において2入力がN1="H(ハイレベル)"、N2="H"のとき出力Qはその直前の入力状態に応ずる出力状態を維持する。レベルシフト部20においてプリセットMOSトランジスタMP12、MP13はクロック信号CKのローレベル期間に前記ノードN1、N2を"H"にプリセットする。レベルシフト部20はクロック信号CKのハイレベル期間に応答してレベルシフト動作可能にされる。即ち、入力信号Dの論理値に応ずる差動入力にしたがってスタティックラッチ回路がラッチ動作を行い、ノードN1、N2のラッチデータにしたがってラッチ部21がラッチ動作を行う。クロック信号CKのローレベル期間ではノードN1、N2が"H"にプリセットされ、ラッチ部21は

出力Qをそのまま維持する。このように、クロックCKが"H"レベルになると、振幅 $V_{DDL}-V_{SSL}$ の入力信号Dが振幅 $V_{DDH}-V_{SSH}$ の信号に増幅され、増幅された信号はNAND0とNAND1をクロスカプ
ブル接続したラッチ部に記憶される。入力信号Dを受けるインバータINVのみ動作電源が V_{DDL} 、 V_{SSL} であり、それ以外は動作電源が V_{DDH} 、 V_{SSH} である。

【0066】上述のレベルシフト機能付きフリップフロップF81を用いれば、単位信号パスの上流側より高速セルに置き換えるという規則に対する例外を認めることができ、半導体集積回路の設計の自由度をある程度向上させることが可能になる。

【0067】図14及び図15を用いて、本発明を適用した半導体集積回路の別の設計方法について説明する。

図14、図15に示される設計方法は、クロック同期レベルシフト機能付きフリップフロップを利用するだけでなく、単位信号パスの途中にレベルシフトを挿入することを許す場合の設計フローである。即ち、クリティカルパス中のあるセルを高速セルに置き換えた時、その前段が低電力セルである場合は、相対的に小さな振幅(V_{DDL} 、 V_{SSL})の信号が相対的に大きな振幅(V_{DDH} 、 V_{SSH})の回路に入力されることになるため、レベルシフトを追加挿入するようにした設計フローである。図14の設計方法は、図8の設計方法におけるステップ14の処理が相違され、目標のサイクル時間を達成しているかどうかの判定13の後、目標ディレイをオーバーしたパスに対しては、クリティカルパス中の1セルを同じ論理を持った高速セルに置き換え(14A)、置き換えた高速セルの前段が低速セルならば、置き換えた高速セルの前段にレベルシフトを追加する(14B)、という処理を行うという点で相違する。

【0068】図15を用いて前記図14で説明した処理を更に詳細に説明する。図15の(A)は、低電力セルのみを使用して作られた、ある信号経路を表す模式図である。図15に示されるNANDゲートG90~G92、フリップフロップF90、F91は図6示したものと同様のディレイ特性を持っている。また、図15にはインバータG93とレベルシフトG94が示されている。

インバータG93は低電力セルの場合は遅延時間0.4ns、高速セルの場合は0.2nsと仮定する。レベルシフトG94は低振幅信号を大振幅信号に変換する回路であり、遅延時間を0.4nsと仮定する。図15の(B)に例示されるように例えばG91を高速セルに置きかえると、G90とG91の間にレベルシフトG94を挿入する必要が生ずる。図15の(C)のように、レベルシフトG94を挿入した後の遅延時間は4.5nsとなる。更にセルの置き換えを進め、最終的に、図15の(D)のように、遅延時間が4.0nsにされる。

【0069】図16には前記レベルシフタG94の一例が示される。pMOSトランジスタMP20及びnMOSトランジスタMN20から成るインバータはVDDL、VSSLを動作電源として入力信号IN0を反転する。入力信号IN0は信号振幅がVDDL-VSSLの小振幅である。pMOSトランジスタMP21~MP24とnMOSトランジスタNM21~NM22から成る回路はVDDH、VSSLを動作電源として、入力信号IN0及びその反転信号を入力し、入力した信号の信号振幅の高電位側をVDDLからVDDHにレベルシフトする回路である。pMOSトランジスタMP25~MP26とnMOSトランジスタNM23~NM26から成る回路はVDDH、VSSHを動作電源として、信号振幅がVSSL-VDDHの前段からの相補出力信号を入力し、入力した信号の信号振幅の低電位側をVSSLからVSSHにレベルシフトする回路である。前記pMOSトランジスタMP25とnMOSトランジスタMN23のコモンドレイン電極に、振幅がVDDL-VDDHにレベルシフトされた信号OUT0が得られる。

【0070】《レイアウト》図17には本発明に係る半導体集積回路の部分的なレイアウト構成例が模式的に示される。同図において30はVBP、VDDH、VDDL、VSSL、VSSH、VBNの各電源幹線、1は低電力セル、2は高速セルを意味する。低電力セル1の中にはセルの向きを表すために代表的に2個のセルに文字“F”が図示されている。即ち、図の上下に隣接するセルの向きは相互に上下反転されている。図の簡略化のため、各セル間の配線は図示していないが、電源幹線30の各電源配線と図示を省略するセル間電源配線とのコンタクト位置は31で示されている。図1の説明の際に述べたように、本発明による高速セル2、低電力セル1は、pMOSトランジスタ、nMOSトランジスタの基板電位がそれぞれ共通であるため、高速セル2及び低電力セル1を相互に共通のn型ウェル領域、p型ウェル領域に混在させて、タイル状に敷き詰めてレイアウトすることが可能である。基板電位を共通化しない前記第2の文献に記載の技術を適用する場合には、図18の比較例で示すように、電位差の大きな電源組VDDH、VSSLを動作電源とする高速論理回路形成用のセル形成領域(VDDHrow)と、電位差の小さな電源組VDDL、VSSLを動作電源とする低電力論理回路形成用のセル形成領域(VDDLrow)との間には、同一導電型のウェル領域であっても夫々のウェル領域を電氣的に分離する基板分離領域を設けなければならない。図17に例示される本発明の場合には基板分離領域が必要ないため、所要の論理回路を少ない面積でレイアウトすることが可能である。また、図18の比較例の場合、特に図示はしないが、基板電位を共通化しないセルを同一行に配置しようとすれば、基板電位が異なるセル毎にウェル領域を細かく分断して分離領域を確保していかなければ

らない。

【0071】図19にはセル内部の電源配線が模式的に示される。同図の(A)は電源線配線及び接地配線のペアをセル内に1組有する従来のセルレイアウト例を示す。40はpMOSトランジスタの基板電位VBPを伝達する金属配線、41は電源電位VDDを伝達する金属配線、42は電源電位VSSを伝達する金属配線、43はnMOSトランジスタの基板電位VBNを伝達する金属配線を表している。これに対し、図19の(B)は本発明に係る高速セルや低電力セルのセル内レイアウト例を示す。44はpMOSトランジスタの基板電位VBPを伝達する金属配線、45は電源電位VDDHを伝達する金属配線、46は電源電位VDDLを伝達する金属配線、47は電源電位VSSLを伝達する金属配線、48は電源電位VSSHを伝達する金属配線、49はnMOSトランジスタの基板電位VBNを伝達する金属配線を表している。高速セルの場合はMOSトランジスタのソースを金属配線45、48に接続し、低電力セルの場合はMOSトランジスタのソースを金属配線46、47に接続する。このように、一つのセル内に複数の電源配線を通したレイアウトにすることによって、図17に示すような高速セルと低電力セルの混在レイアウトが簡単化される。また、(A)の従来例における電源配線41と、(B)の本発明に係るレイアウト構成の電源配線45、46の幅を考えたとき、本発明は前述の通り回路の消費電力を下げる働きがあることから、45と46の配線幅の合計は、41の幅よりも太くする必要はない。したがって、従来レイアウトよりも本発明のレイアウトが大きくなることはない。

【0072】図20には図1で説明したインバータ論理を有する前記高速セル2のレイアウト例が示される。図20の(A)は平面図、図20の(B)は(A)のA-B矢視断面図である。図20において、44はpMOSトランジスタの基板電位VBPを伝達する金属配線、45は電源電位VDDHを伝達する金属配線、46は電源電位VDDLを伝達する金属配線、47は電源電位VDDLを伝達する金属配線、48は電源電位VSSLを伝達する金属配線、49はnMOSトランジスタの基板電位VBNを伝達する金属配線を表している。また、52はpMOSトランジスタの拡散層、53はnMOSトランジスタの拡散層、54はポリシリコンで形成されたMOSトランジスタのゲート電極、50は金属配線44とn型ウェル領域NWE LLとを接続するスルーホール、51は金属配線49とp型ウェル領域PWE LLとを接続するスルーホール、56は金属配線45と拡散層52とを接続するスルーホール、57は金属配線49と拡散層53とを接続するスルーホール、59はインバータ回路の入力電極、58はインバータ回路の出力電極を表している。

【0073】図21には図1で説明したインバータ論理

を有する前記低電力セル1のレイアウト例が示される。図21の(A)は平面図、図21の(B)は(A)のA-B矢視断面図である。図20との相違点は、拡散層52がスルーホール60で金属配線46に接続され、拡散層54がスルーホール61で金属配線47に接続されている点である。その他の構成は図20と同じである。要するに、図20と図21を見比べれば明らかなように、両者の相違点は、スルーホール56と60の位置の相違と、スルーホール57と61の位置の相違点だけである。このように、両者のセル外形や端子位置に違いがないということは、セルレイアウト工数の削減につながる。また、低電力セル1を高速セル2へ置き換える図8のステップ14、図14のステップ14Aの場合に、一旦レイアウトしたセルを一切移動せず入れ替えることができるということは、セル間配線の移動が発生しないため、セルの配置、配線にかかる工数をも削減することができる。

【0074】《半導体集積回路》図22には本発明を適用した半導体集積回路を電源系を中心に示してある。同図の例では、半導体集積回路70はDC-DC変換器72、CPUコア74、及び入出力回路(I/O回路)73を半導体チップに有する。I/O回路73は、外部のアドレスバス及びデータバスとインタフェースされるバスバッファ回路、或いはA/DコンバータやD/Aコンバータなどのアナログ入出力回路のような回路である。CPUコア74は命令をフェッチし、フェッチした命令を解読する命令制御部、命令制御部による命令解読結果に従って演算処理を行なう実行部からなる。71はチップ外部の電源回路である。外部電源回路71は半導体集積回路70が実装される回路基板に設けられており、単一の電源組(VDD, VSS)を半導体集積回路70に供給する。例えば、VDD=5V、VSS=0Vである。前記単一の電源組(VDD, VSS)を受けるDC-DC変換器72は4組の電源、(VDDQ, VSSQ)、(VDDH, VSSH)、(VDDL, VSSL)、(VBP, VBN)を発生する。特に制限されないが、VDDQ=3.3V、VSSQ=0V、VDDH=2.5V、VSSH=0V、VDDL=2.0V、VSSL=0.5V、VBP=2.25V、VBN=0.25Vである。前記電源(VDDQ, VSSQ)はI/O回路73に供給され、残りはCPUコア74に供給される。図22の例では、半導体集積回路70に対しては一種類の外部電源(VDD, VSS)のみを供給すればよいから、使い勝手が良好である。

【0075】図23には本発明を適用した別の半導体集積回路を電源系を中心に示してある。図22との相違点は、同図の半導体集積回路70AはDC-DC変換器72を内蔵せず、外部電源71Aから発生される4組の電源、(VDDQ, VSSQ)、(VDDH, VSSH)、(VDDL, VSSL)、(VBP, VBN)入

力して動作電源にすることである。この例の場合は、DC-DC変換器をチップ上に持つ必要がないため、その分だけ半導体集積回路のチップ面積を小さくすることができる。

05 【0076】図24には本発明を適用した半導体集積回路装置の一例としてマイクロプロセッサが示される。同図に示されるマイクロプロセッサは、単結晶シリコンのような1個の半導体基板若しくは半導体チップに例えばCMOS集積回路製造技術によって形成される。

10 【0077】マイクロプロセッサ80は前記命令制御部及び実行部を備えたCPU(中央処理ユニット)81と、浮動小数点演算に特化したFPU(浮動小数点ユニット)82を有する。命令アクセス及びオペランドアクセスのためのアドレッシング機能はCPU81が有し、FPU82へのロードデータ及びFPU82からのストアデータに対するアドレッシングはCPU81が行なう。

【0078】キャッシュユニット(CACHE)83は、夫々図示を省略するデータキャッシュメモリ、命令キャッシュメモリ、及びMMU(メモリアネージメントユニット)を有する。MMUはCPU81の論理アドレスを物理アドレスに変換するアドレス変換機能を有し、連想メモリ構造のアドレス変換バッファ(TLB)にアドレス変換のためのエントリを有する。命令キャッシュメモリ及びデータキャッシュメモリは、図示を省略する
25 メインメモリが保有する命令及びデータのうち、最近利用された命令及びデータのアドレスの近辺のアドレスの命令及びデータをキャッシュエントリとして保有する連想メモリ構造を有する。このキャッシュユニット83は一方においてCPU81及びFPU82に接続され、他方においてバスステートコントローラ(BSC)84に接続される。

【0079】バスステートコントローラ84は、キャッシュユニット83におけるキャッシュミス或いはTLBミス等に際して、必要な外部バスアクセスや周辺回路のアクセスを制御する。周辺回路としてクロックパルスジェネレータ(CPG)87、タイマカウンタ(RTC)88、及び割り込みコントローラ(INTC)89を有する。また、バスステートコントローラ84にはダイレクトメモリアccessコントローラ(DMAC)86が接続される。CPU81がDMAC86にデータ転送制御条件を初期設定すれば、その条件に従ってDMAC86はバスステートコントローラ84を介して周辺回路や外部との間でデータ転送制御を起動する。バスステートコントローラ84は外部バスインタフェース85を介して外部バスに接続される。
45

【0080】図24に示されるマイクロプロセッサ80において、CPU81、FPU82、CACHE83、BSC84、DMAC86、及びINTC89に、今まで説明したところの基板電位を共通化した第1論理ゲート1及び第2論理ゲート2を混在させて論理回路を構成

するという手段を採用してある。例えば、CPU81における命令コードのデコード及び命令アドレスの発行論理、キャッシュユニット83におけるキャッシュメモリアクセス、FPU82における積和演算等のための信号パスがクリティカルパスになり易いので、それらを含む回路を、基板電位を共通化した第1論理ゲート1及び第2論理ゲート2を混在させて構成することにより、マイクロプロセッサ80によるデータ処理性能の向上と低消費電力の双方を実現することができる。

【0081】《基板電位共通化の別の態様》図25には本発明に係る半導体集積回路が有する第1の論理ゲート及び第2の論理ゲートの別の例が示される。図1においてはpMOSトランジスタMP0、MP1の基板電位VBP、nMOSトランジスタMN0、MN1の基板電位VBNを電源VDDH、VDDL、VSSH、VSSLとは別に用意していたが、図25の例では、VBPをVDDHと共通にし、VBNをVSSHと共通にした。夫々の電位関係は図26に例示されるように、VDDH、VDDL、VSSL、VSSHの順に電位が低くなるようにされている。この場合、MOSトランジスタMP0、MN0には基板バイアスがかからないため、閾値電圧が比較的強く高速動作が可能であり、トランジスタMP1、MN1にはVDDL-VDDH、VSSL-VSSHだけ逆方向バイアスがかかり、閾値電圧が上がるためリーク電流が少なくなる。また、図25の第2の論理ゲート2の一例であるインバータタイプの高速セル2は出力振幅がVDDH-VSSHであるため高速であり、第1の論理ゲート1の一例であるインバータタイプの低電力セル1は出力振幅がVDDL-VSSLであるため低電力である。クリティカルパスにのみ高速セル2を使用し、その他の経路には低電力セル1を用いれば、高速動作、低電力動作を同時に実現できる。

【0082】更に、図25のように、VBP、VBN配線を削減できるので、図17、図19乃至図21で示したレイアウトを更に単純化でき、また、図22及び図23で示した電源回路も単純化することができる。

【0083】図25の例においても図8及び図14で説明した設計方法を適用することができる。高速セルへの置き換えに際しては、前述と同様に、図12のレベルシフト機能付きフリップフロップや図16のレベルシフタを用いることができる。

【0084】図27には本発明に係る半導体集積回路が有する第1の論理ゲート及び第2の論理ゲートの更に別の例が示される。同図の例では、接地側の電源電位をVSS一種類にしている。電位関係は図28に例示されるように、VDDH、VBP、VDDL、VBN、VSSの順に電位が低くなるようにされている。出力振幅は、第2の論理ゲート2の一例であるインバータタイプの高速セル2がVDDH-VSS、第1の論理ゲート1の一例であるインバータタイプの低電力セル1がVDDL-

VSSであり、前者は高速向き、後者は低電力向きである。nMOSトランジスタMN0、MN1は、共通のソース電位VSS及び共通の基板電位VBNを持っているため、閾値電圧は共にVthn0で同じである。これに対しpMOSトランジスタMP0、MP1は基板バイアスのかかり方が違うため、異なった閾値電圧Vthp0、Vthp1を持つことになり、pMOSトランジスタMP1の方が閾値電圧が高い。ここで、MOSトランジスタのサブスレッショルドリークはMOSトランジスタのゲート幅に比例すると言われている。通常、CMOS回路では駆動力の弱いpMOSトランジスタのゲート幅を、nMOSトランジスタよりも大きくするため、サブスレッショルドリークの点ではpMOSトランジスタの方が大きいと考えられる。図27の例では、この点に着目し、pMOSトランジスタMP1のリーク電流を削減する効果を狙っている。なお、この例の場合、図17、図19乃至図21で示したレイアウト例や、図22及び図23で示した電源回路例を更に単純化できることは言うまでもない。

【0085】図27の例においても図8及び図14で説明した設計方法を適用することができる。高速セルへの置き換えに際しては、前述と同様に、図12のレベルシフト機能付きフリップフロップや図29のレベルシフタを用いることができる。図29のレベルシフタは図16のレベルシフタに対してMOSトランジスタMP25、MP26、MN23~MN26を省略し、低電位側電源を接地電位VSSに単一化し、入力振幅VDDL-VSSを出力振幅VDDH-VSSにレベルアップするように構成される。

【0086】《プログラム記録媒体》前記図8及び図14で夫々説明した設計方法による半導体集積回路の設計にはそれらの処理を規定するプログラムを利用することができる。この設計支援プログラムは、図30に例示されるコンピュータ90によって読取り可能にFD（フロッピー（登録商標）・ディスク）、CD-ROM（コンパクト・ディスク・ROM）ディスク、MO（マグネット・オブティックス：磁気光学）ディスクなどの記録媒体91に記録されて提供される。そのプログラムは、図8又は図14に示されるフローチャートの処理11~15をC言語などで記述したソースプログラムをコンピュータ90に対応してコンパイル及びデバッグして得られたオブジェクトコードである。プログラムによる処理の具体的な内容は既に説明したのでここでは重ねて説明しないが、プログラムによる処理は、特に制限されないが、グラフィック・ユーザ・インタフェースを介してオペレータによるコマンド入力に従って進行するようになっている。このプログラムは、第1の論理ゲート1を用いて設計された論理回路における信号経路の信号伝播遅延時間が目標を満足するか否かを判定し、信号伝播遅延時間が目標を満足しない信号経路に含まれる単数又は複

数の第1の論理ゲート1を、第2の論理ゲート2に置き換える処理を支援する。このようなプログラム記録媒体91から読み取ってコンピュータ90で利用することにより、前記設計方法による半導体集積回路の設計を容易に行うことが可能になる。

【0087】《設計データ記録媒体》前記図8及び図14で夫々説明した設計方法等によって半導体集積回路を設計するときコンピュータによって読取り可能な設計データを用いることができる。例えばそのような設計データは、図21に例示されるように第1の論理ゲート1を半導体チップに形成するための図形パターンを定める第1のマスクパターンデータと、図20に例示されるように第2の論理ゲート2を前記半導体チップに形成するための図形パターンを定める第2のマスクパターンデータと、を含む。マスクパターンデータは、前記インバータ論理に限定されず、NAND、NOR等の適宜の回路パターンデータであってよい。この設計データはコンピュータ90によって読取り可能に記録媒体91に記録されて提供される。マスクパターンデータは、例えばマスクパターンを形成するための描画データである。マスクパターンのデータは、半導体チップ上の半導体層（半導体領域）、配線層、絶縁層等の回路形成層毎に、図形パターンを規定する座標データであり、例えば、GDS2と称されるようなストリームフォーマットのデータとされ、エンジニアリングワークステーションによって構成されるようなマスク設計装置等のコンピュータ90に読み込まれて、フォトマスクのパターンを生成することができるようなデータとされる。この設計データは、ハードIPモジュールのデータと同様に、機能及び性能的な検証を経たデータであるから、それによって特定される回路の機能や性能は既に安定されている性質のものである。集積回路の設計にそのような設計データを用いることにより、少ない設計工数で、機能及び性能上高い信頼性を保証することが可能になる。

【0088】前記設計データは、所謂ソフトIPモジュールのようなハードウェア記述言語で記述されたデータであってもよい。すなわち、コンピュータ90によって読取り可能に設計データ記録媒体91に記録された設計データは、第1の論理ゲート1の機能を定めるための第1の機能記述データと、第2の論理ゲート2の機能を定めるための第2の機能記述データと、を含む。この機能記述データはHDL等のコンピュータ言語で機能記述したデータであり、前記ソフトIPモジュールのデータと同様に、それによって特定される回路の機能や性能はハードIPモジュールの場合ほど安定性が保証されていない反面、回路の駆動能力等に関する設計の自由度が保証されている。このように、集積回路の設計に機能記述データを用いることにより、設計の自由度を保証しながら、最終的に所要に回路の図形パターンを設計することが可能になる。

【0089】半導体集積回路の設計に用いられるエンジニアリングワークステーション、パーソナルコンピュータ若しくは設計装置のようなコンピュータ90は、図30に例示されるように、プロセッサ及びメモリなどを実装したプロセッサボード、そして各種インタフェースボードを搭載したコンピュータ本体92に、ディスプレイ93、キーボード94、ディスクドライブ95などの代表的に示された周辺機器が接続されて構成される。IPモジュールデータのような設計データは前記記録媒体91に格納されている。記録媒体91は、特に制限されないが、前記ディスクドライブ95に装着されて、それに記憶されているIPモジュールデータがコンピュータ本体92に読み込まれる。例えば、読み込まれたデータが、HDLで記述された記述データであった場合、上記コンピュータ90はこれを解読して処理を行う。解読して処理を行うために、上記コンピュータ90は特定のプログラムを実行する。コンピュータ90は分散処理システムであってもよい。例えば、ディスクアクセス、レイアウト演算、マンマシン・インタフェースの夫々をLAN等のネットワークに接続された個別のコンピュータを用いて処理させ、処理結果を連携して利用可能にしてもよい。尚、前記設計データとしてのIPモジュールデータの容量が大きくなり、1個の記録媒体91に格納することが不可能になった場合には、IPモジュールデータを複数の記録媒体に分けて格納するようにしてもよい。勿論、上記IPモジュールデータを、予め複数の記録媒体に格納するように分割しておいて、複数の記録媒体に格納してもよい。これには、このようなIPモジュールデータは、それを提供する専門のベンダーが有するコンピュータのディスクドライブ等に格納されており、IPモジュールデータを利用しようとする者は、所定の手続に従って、ネットワークを介して利用可能とすることもできる。

【0090】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれ限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0091】例えば、電源電位と基板電位との関係は図1、図25、図27の態様に限定されない。例えば、図25のような電源ペアにおいて高速化を最優先にするなら第2の論理ゲートに対して基板バイアスをかけ、第1の論理ゲートには基板バイアスをかけないようにしてもよい。また、第1及び第2の論理ゲートは前記インバータやNANDなどの論理に限定されず適宜の論理であってよい。更に、半導体集積回路はCPUを搭載したマイクロプロセッサやマイクロコンピュータに限定されず、シンクロナスDRAM等のクロック同期型メモリ、グラフィックコントローラのようなDRAM混載LSI等にも広く適用することができる。また、半導体集積回路はCMOS回路に限定されず、Bi-CMOS回路などであ

ってよい。また、上記説明では設計データとプログラムデータを同一に記録媒体91に格納してあるように説明したが、当然夫々を別々の記録媒体に記録して提供してよいことは言うまでもない。

【0092】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0093】すなわち、動作電源電圧及び基板バイアス電圧の観点より高速かつ低消費電力動作を実現する半導体集積回路を実現することができる。

【0094】半導体集積回路の動作速度を向上し、同時にアクティブ時の消費電力、スタンバイ時の消費電力を共に低減し、更に面積的なオーバーヘッドの無い半導体集積回路を実現することができる。

【0095】半導体集積回路の動作速度を向上し、同時にアクティブ時の消費電力、スタンバイ時の消費電力を共に低減し、更に面積的なオーバーヘッドの無い半導体集積回路の設計の効率化を図ることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路が有する第1の論理ゲート及び第2の論理ゲートを例示する回路図である。

【図2】図1に示される電位の関係を示す説明図である。

【図3】nMOSトランジスタにおける基板バイアス電圧による閾値電圧の増加について示した特性図である。

【図4】nMOSトランジスタにおける閾値電圧の増加によるリーク電流の低減について示した特性図である。

【図5】高速セルと低電力セルを適用した半導体集積回路における信号パスの構成を例示する論理回路図である。

【図6】高速セルと低電力セルを適用した半導体集積回路における信号パスの別の構成を例示する論理回路図である。

【図7】図6のクリティカルパスと非クリティカルパスの動作波形を例示する波形図である。

【図8】低電力セルと高速セルを用いる半導体集積回路の設計方法の一例を示すフローチャートである。

【図9】低電力セルのみを使用した場合のパスディレイの分布及びクリティカルパスに高速セルを使用した場合のパスディレイの分布を示す分布図である。

【図10】図8で説明した置き換え処理の詳細を示す説明図である。

【図11】高速セルと低電力セルが混在した他の単位信号パスを例示する論理回路図である。

【図12】置き換えに利用するレベルシフト機能付きフリップフロップを例示する回路図である。

【図13】図12に示されるレベルシフト機能付きフリップフロップの動作波形図である。

【図14】低電力セルと高速セルを用いる半導体集積回路の設計方法の別の例を示すフローチャートである。

【図15】図14で説明した置き換え処理の詳細を示す説明図である。

05 【図16】高速セルへの置き換え時に利用可能なレベルシフタを例示する回路図である。

【図17】本発明に係る半導体集積回路の部分的なレイアウト構成例を模式的に示すレイアウトパターンである。

10 【図18】基板電位を共通化しない技術による場合を図17の比較例として示すレイアウトパターンである。

【図19】セル内部の電源配線を模式的に示すレイアウトパターンである。

15 【図20】図1で説明したインバータ論理を有する高速セルを例示するレイアウトパターンである。

【図21】図1で説明したインバータ論理を有する低電力セルを例示するレイアウトパターンである。

【図22】本発明を適用した半導体集積回路を電源系を中心に示したブロック図である。

20 【図23】本発明を適用した別の半導体集積回路を電源系を中心に示したブロック図である。

【図24】本発明を適用した半導体集積回路装置の一例であるマイクロプロセッサのブロック図である。

25 【図25】本発明に係る半導体集積回路が有する第1の論理ゲート及び第2の論理ゲートの別の例を示す回路図である。

【図26】図15の電位の関係を示す説明図である。

【図27】本発明に係る半導体集積回路が有する第1の論理ゲート及び第2の論理ゲートの更に別の例を示す回路図である。

30 【図28】図27の電位の関係を示す説明図である。

【図29】図27の電源構成で高速セルへの置き換え時に挿入可能なレベルシフタを示す回路図である。

35 【図30】半導体集積回路の設計に用いられるエンジニアリングワークステーション等のコンピュータを例示するブロック図である。

【符号の説明】

1 第1の論理ゲート（低電力セル）

2 第2の論理ゲート（高速セル）

40 VDDH 第2の高電位

VDDL 第1の高電位

VSSH 第2の低電位

VSSL 第1の低電位

VBP 高電位側基板電位

45 VBN 低電位側基板電位

MP0, MP1 pMOSトランジスタ

MN0, MN1 nMOSトランジスタ

F30~F33 順序回路

G30~G38 組合せ回路

50 F40~F42 順序回路

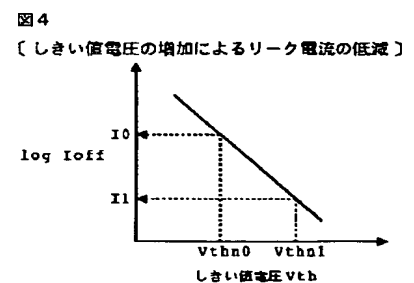
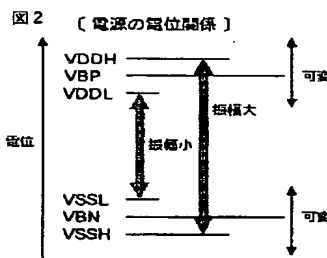
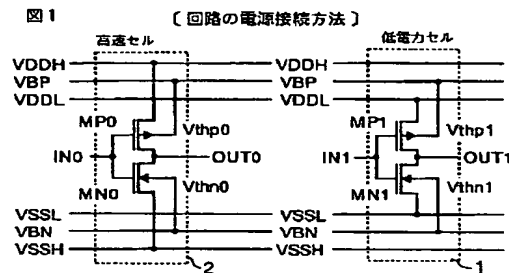
G40～G47 組合せ回路
 F70～F71 順序回路
 G70～G74 組合せ回路
 F80～F83 順序回路
 G80～G86 組合せ回路
 F81 レベルシフト機能付きフリップフロップ
 20 レベルシフト部
 21 ラッチ部
 F90～F91 順序回路
 G90～G93 組合せ回路
 G94 レベルシフト

44 VBP用金属配線
 45 VDDH用金属配線
 46 VDDL用金属配線
 47 VSSL用金属配線
 05 48 VSSH用金属配線
 49 VBN用金属配線
 NWELL n型ウェル領域
 PWELL p型ウェル領域
 80 マイクロプロセッサ
 10 90 コンピュータ
 91 記録媒体

【図1】

【図2】

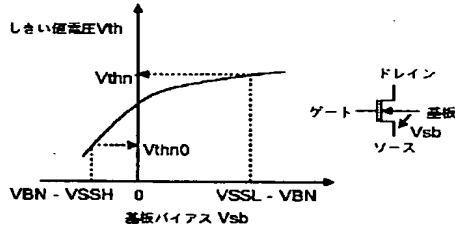
【図4】



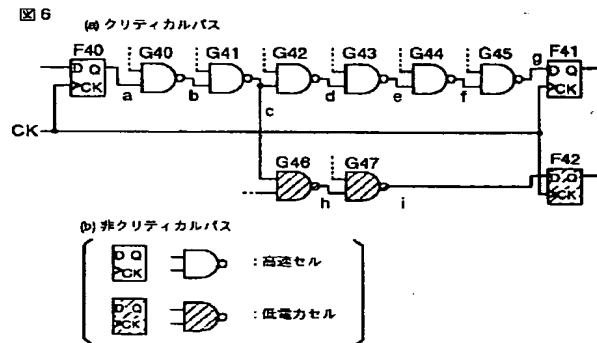
【図3】

【図6】

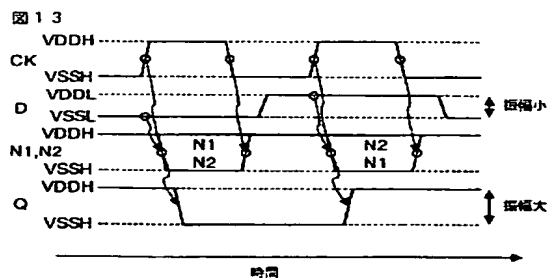
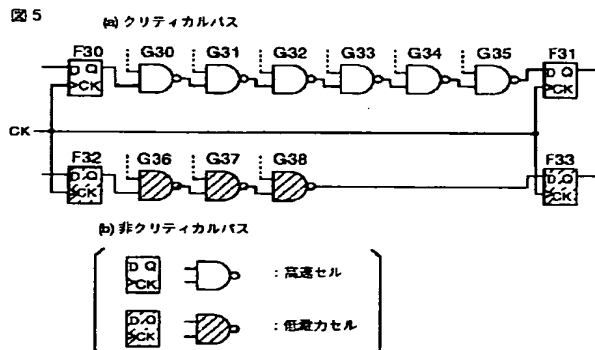
図3 (基板バイアス印加によるしきい値電圧の増加)



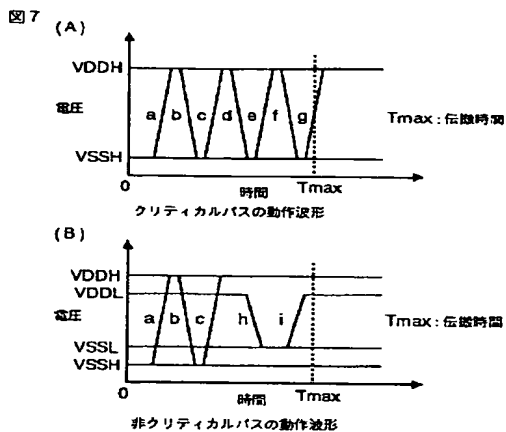
【図5】



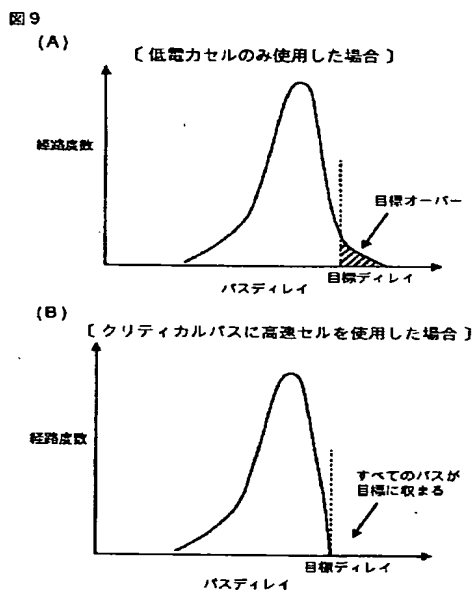
【図13】



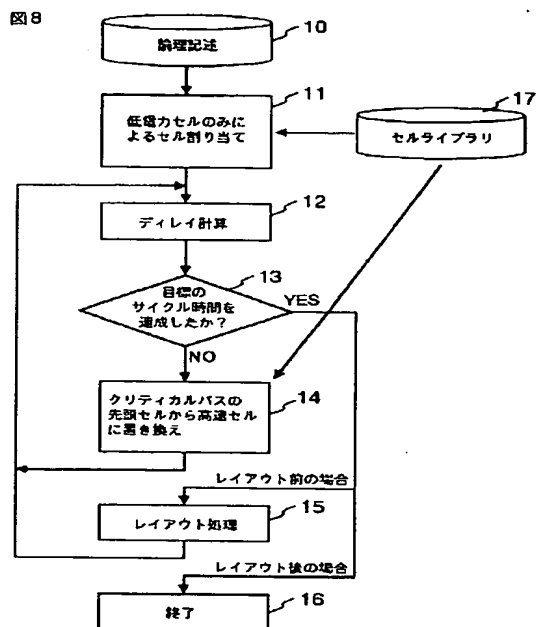
【図7】



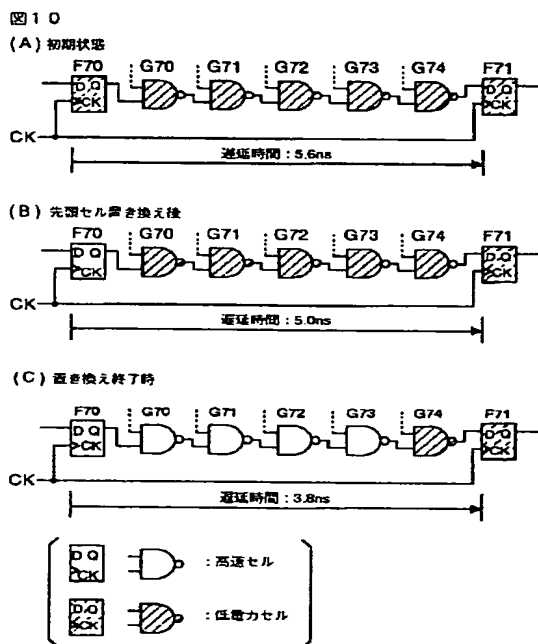
【図9】



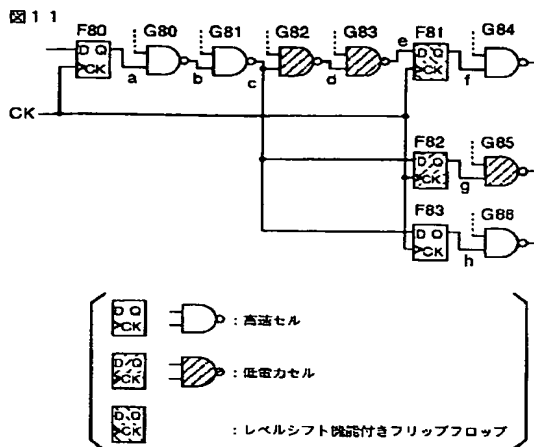
【図8】



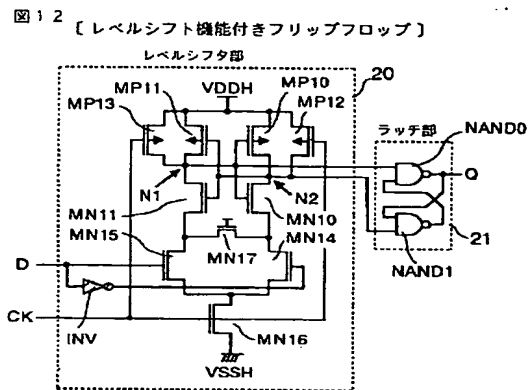
【図10】



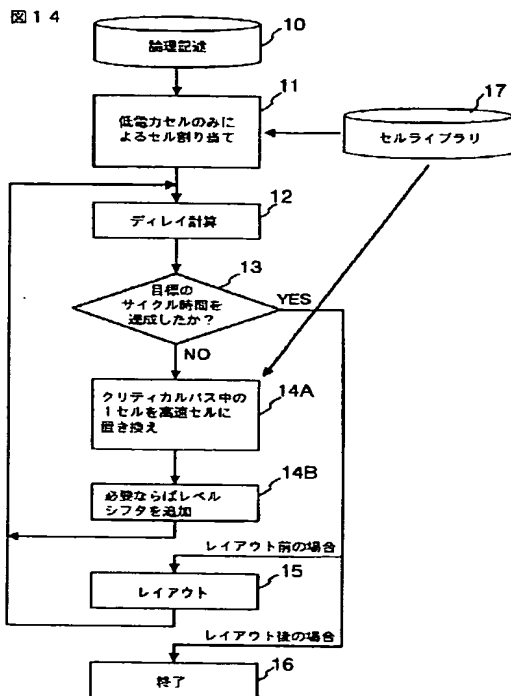
【図11】



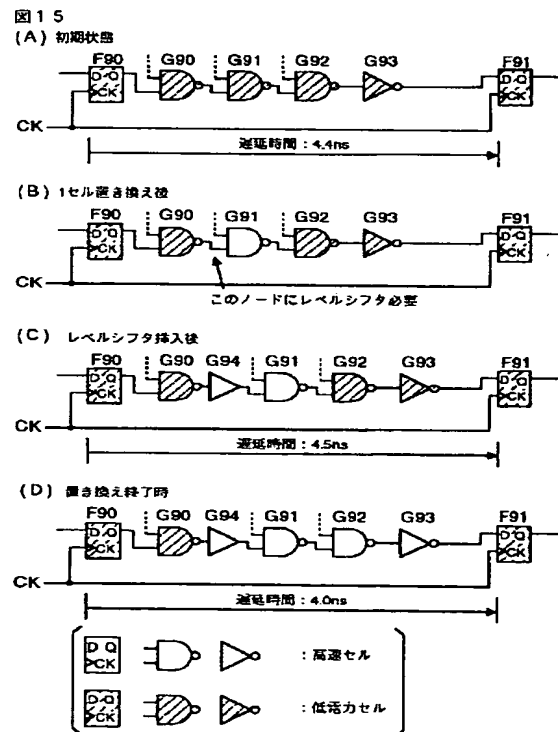
【図12】



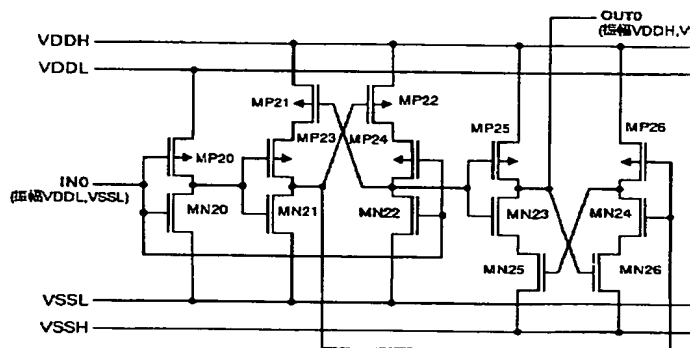
【図14】



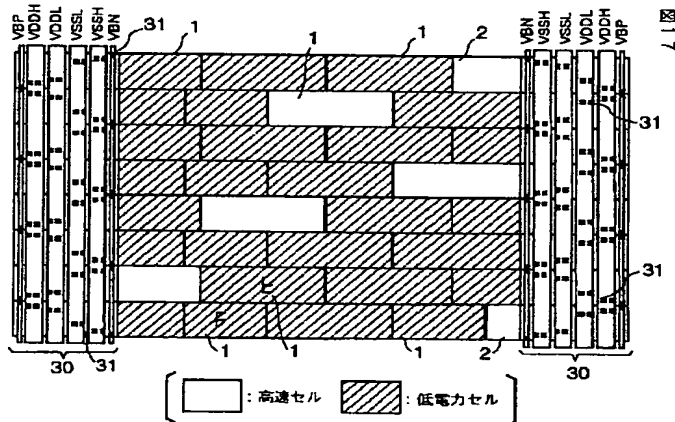
【図15】



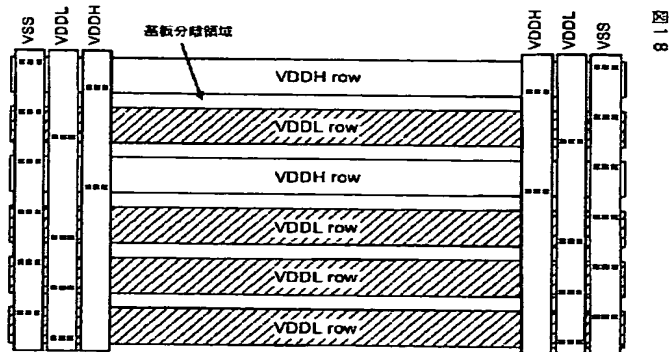
【図16】



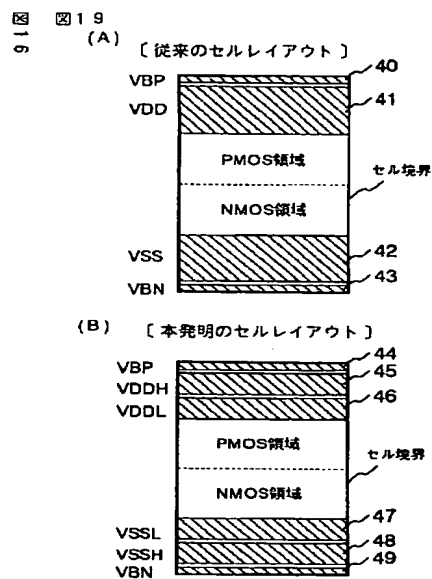
【図17】



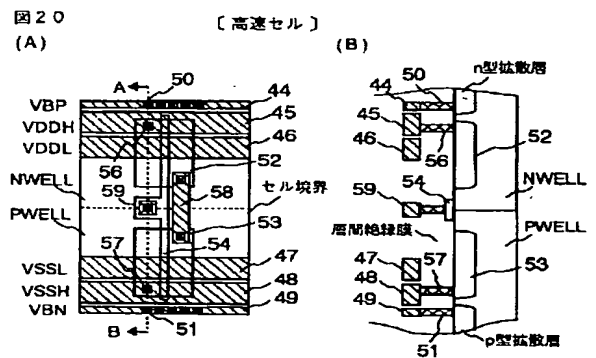
【図18】



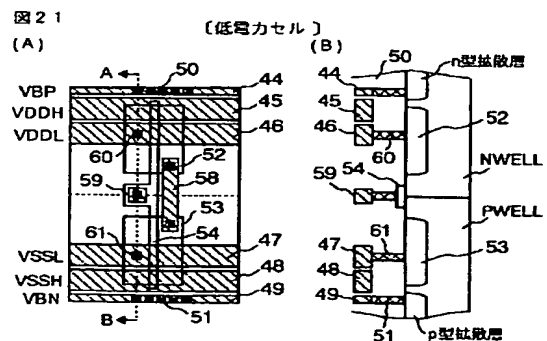
【図19】



【図20】

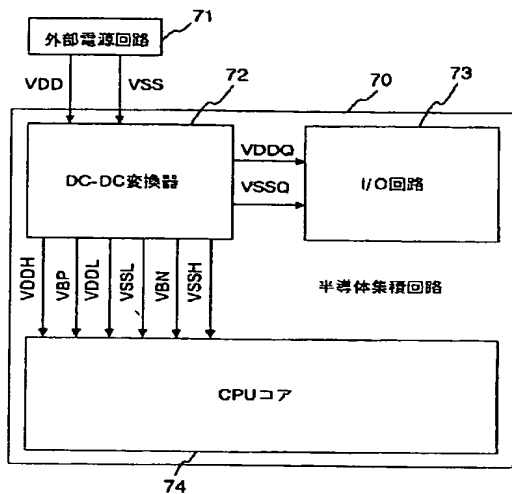


【図21】



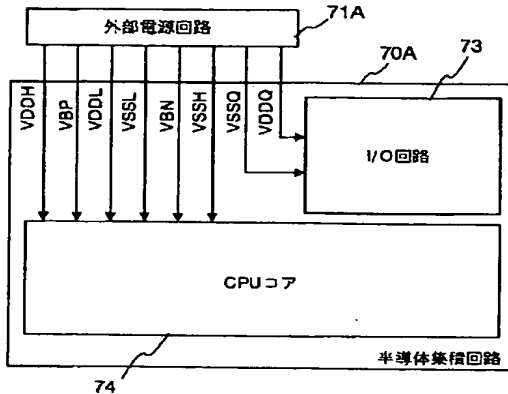
【図22】

図22



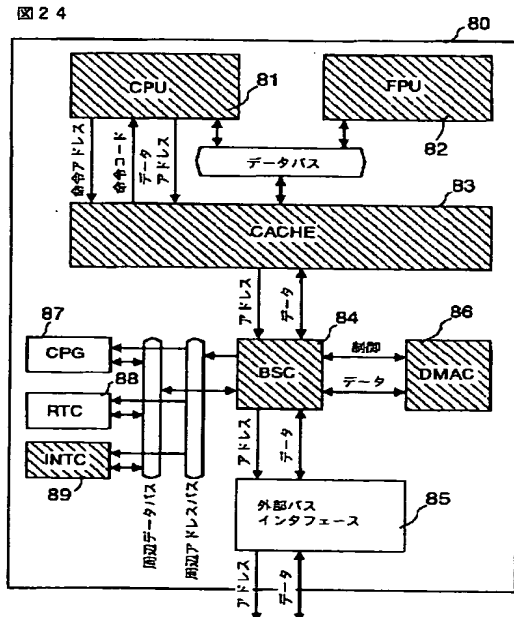
【図23】

図23



【図24】

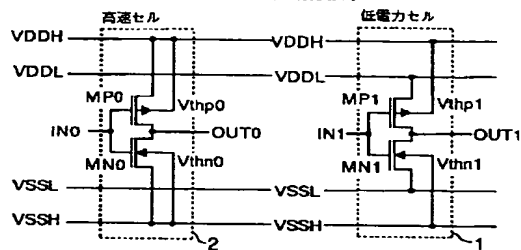
図24



【図25】

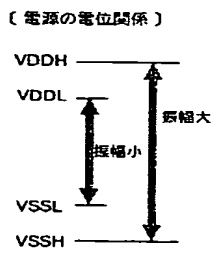
図25

(回路の電源接続方法)



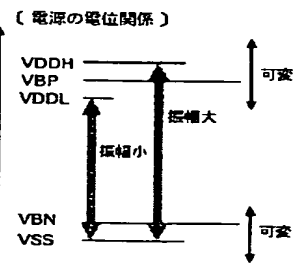
【図26】

図26

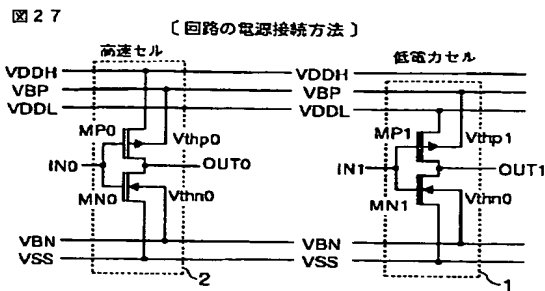


【図28】

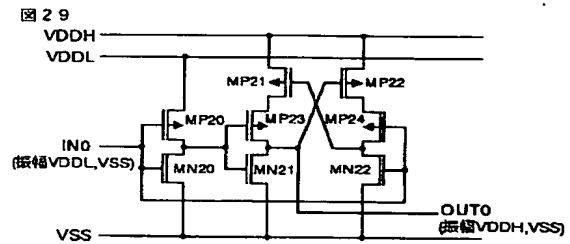
図28



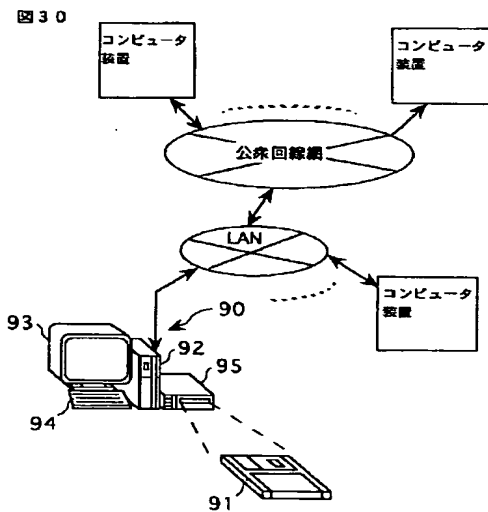
【図27】



【図29】



【図30】



フロントページの続き

(51) Int. Cl.⁷

H03K 19/0185

19/0944

識別記号

F I

テーマコード* (参考)

F ターム (参考) 5F038 AV06 BG09 CA05 CD02 CD03
CD05 CD06 DF08 DT18 EZ09
EZ20

5F048 AA00 AA01 AA09 AB01 AB03
AB04 AB05 AB06 AB07 AB10
AC03 AC05 BB14 BE03 BE09
BF17

5J056 AA00 AA03 AA11 BB01 BB02
BB10 BB17 CC21 DD13 DD28
EE04 FF08 HH03 KK02

45

50